

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-117758

(43)Date of publication of application : 15.04.2004

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 3/20
G09G 3/34

(21)Application number : 2002-280151

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.09.2002

(72)Inventor : KAWABE KAZUYOSHI
KOGANEZAWA NOBUYUKI
TAKEDA NOBUHIRO

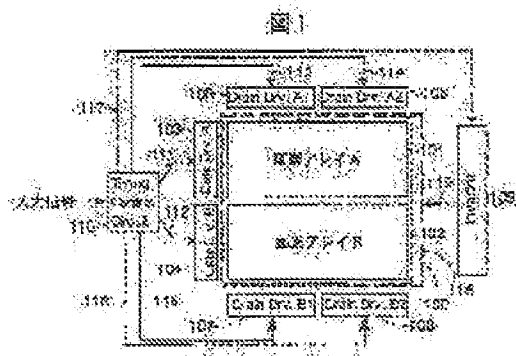
(54) DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To display a sharp moving image with a high contrast ratio equivalent to that of an impulse type display device using a hold type display device such as a liquid crystal display device.

SOLUTION: Two pixel arrays in which a plurality of pixel rows are arranged in parallel from one end to the other end are arranged in an image display region of a display device (a display panel) in parallel and one end of the array is made adjacent to one end of the other array. A plurality of pixel rows provided in each pixel array is successively selected from one end (the center of the image display region) of the pixel array to the other end (both ends of the image display region). A video signal driving circuit is provided for each of the two pixel arrays, and the circuit successively inputs image signals from respectively selected pixel rows. Image data for every frame interval are divided into every pixel array and transferred to the respective video signal driving circuit. A pixel row of respective pixel array is

successively selected for a number of times for the image data transfer which is repeated for a number of times for every frame interval, and image signals for every frame interval are inputted for a number of times.



(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C008
G09G 3/20	G09G 3/20 612T	5C080
G09G 3/34	G09G 3/20 621B	
	G09G 3/20 622L	
審査請求 未請求 請求項の数 22 O L (全 54 頁) 最終頁に続く		

(21) 出願番号	特願2002-280151 (P2002-280151)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成14年8月26日 (2002. 9. 26)	(74) 代理人	100075086 弁理士 作田 康夫 川辺 和佳
		(72) 発明者	神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所システム開発研究所 内
		(72) 発明者	小金沢 信之 千葉県茂原市早野3300番地 株式会 社日立製作所ディスプレイグループ内
		(72) 発明者	武田 伸宏 千葉県茂原市早野3300番地 株式会 社日立製作所ディスプレイグループ内 最終頁に続く

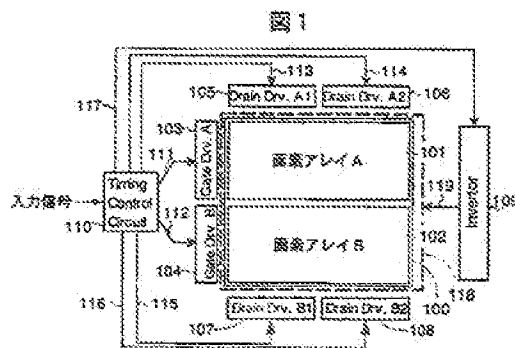
(54) 【発明の名称】 表示装置及びその駆動方法

(57) [REDACTED]

【課題】液晶表示装置のようなホールド型表示装置により、インパルス型の表示装置並みの高いコントラスト比でシャープな動画像を表示する。

【解決手段】表示装置（表示パネル）の画像表示領域に、その一端から他端に向けて複数の画素行が並設された2つの画素アレイを夫々の一端を隣接させて並設し、各々の画素アレイに設けられた複数の画素行を画素アレイの前記一端（前記画像表示領域の中央）から前記他端（前記画像表示領域の両端）に向けて順次選択する。2つの画素アレイには夫々映像信号駆動回路が設けられ、各々にて選択された画素行から順次映像信号を入力する。フレーム期間毎の画像データは画素アレイ毎に分けられ、夫々の映像信号駆動回路に転送される。フレーム期間毎に複数回繰り返される画像データ転送に対し、各画素アレイの画素行は複数回順次選択され、且つフレーム期間毎の映像信号が複数回入力される。

☒ 1



【特許請求の範囲】

【請求項1】

その画像表示領域に第1の画素アレイ及び第2の画素アレイが並設された表示パネル、前記表示パネルの前記第1の画素アレイに画像信号を入力する第1の映像信号駆動回路及び前記第2の画素アレイに画像信号を入力する第2の映像信号駆動回路、及び前記第1の映像信号駆動回路に前記第1の画素アレイに対応した第1画像データを前記第2の映像信号駆動回路に前記第2の画素アレイに対応した第2画像データをフレーム期間毎に夫々転送し且つ該第1の画素アレイと該第2の画素アレイの動作タイミングを制御する表示制御部を備え、前記第1画素アレイには前記第2画素アレイに隣接するその一端から前記画像表示領域の一端に向けて複数の画素行が、前記第2画素アレイには前記第1画素アレイに隣接するその一端から該画像表示領域の他端に向けて複数の画素行が、夫々並設され、前記表示制御部は、前記フレーム期間毎に前記第1の画像データを前記第1の映像信号駆動回路に前記第2の画像データを前記第2の映像信号駆動回路に夫々複数回転送し、且つ該第1画像データ及び該第2画像データの転送毎に前記第1画素アレイ及び前記第2画素アレイの夫々に設けられた前記複数の画素行を前記第1画素アレイの一端及び前記第2画素アレイの一端から夫々順次選択し、前記第1の映像信号駆動回路は第1画像データの転送毎に前記第1画素アレイに並設された前記画素行の夫々に選択された順に画像信号を、前記第2の映像信号駆動回路は第2画像データの転送毎に前記第2画素アレイに並設された前記画素行の夫々に選択された順に画像信号を夫々入力する表示装置。

【請求項2】

前記表示制御部は、前記フレーム期間毎に前記第1画像データ及び前記第2画像データの転送毎に前記第1画素アレイの前記画素行及び前記第2画素アレイの前記画素行を順次選択した後に、該第1画素アレイの該画素行と該第2画素アレイの該画素行とを夫々前記第1画素アレイの一端及び前記第2画素アレイの一端から少なくとも1回順次選択し、前記第1の映像信号駆動回路及び前記第2の映像信号駆動回路は、前記表示制御部が前記第1画素アレイの画素行と前記第2画素アレイの画素行とを少なくとも1回順次選択する期間に、ブランキング信号を該第1画素アレイ及び該第2画素アレイの夫々の画素行に選択された順に入力する請求項1に記載の表示装置。

【請求項3】

前記ブランキング信号は、前記第1画素アレイ及び前記第2画素アレイの夫々の輝度を前記第1画像データ及び前記第2画像データに応じた前記画像信号の入力による輝度以下に減衰させる請求項2に記載の表示装置。

【請求項4】

前記表示制御部は、前記フレーム期間毎に前記表示パネルで表示すべき画像データを格納するメモリを備え、且つ該フレーム期間毎に該画像データを前記第1画像データ及び前記第2画像データに分けて前記第1の映像信号駆動回路及び前記第2の映像信号駆動回路に夫々複数回転送する請求項1に記載の表示装置。

【請求項5】

前記第1の映像信号駆動回路は前記第1画素アレイに画像信号を入力する複数の第1駆動回路群からなり、前記第2の映像信号駆動回路は前記第2画素アレイに画像信号を入力する複数の第2駆動回路群からなり、前記表示制御部は、前記第1画像データを前記第1駆動回路群毎に分けて、前記第2画像データを前記第2駆動回路群毎に分けて、該第1駆動回路群及び該第2駆動回路群の夫々に転送する請求項4に記載の表示装置。

【請求項6】

前記表示装置は、前記第1画素アレイの前記画素行の夫々を選択する第1走査信号駆動回路と前記第2画素アレイの前記画素行の夫々を選択する第2走査信号駆動回路とを備え、前記表示制御部は、前記第1走査信号駆動回路及び前記第2走査信号駆動回路の夫々に走

査タイミング信号を入力し、

走査タイミング信号に呼応して、前記第1画素アレイの前記画素行のN本（Nは自然数）が前記第1画素アレイの一端から前記画像表示領域の一端に向けて、及び前記第2画素アレイの前記画素行のN本が前記第2画素アレイの一端から前記画像表示領域の他端に向けて、夫々選択される請求項1に記載の表示装置。

【請求項7】

前記表示パネルは液晶表示パネルであり、

前記第1走査信号駆動回路及び前記第2走査信号駆動回路は、前記フレーム期間にて連続する2回の前記第1画像データ転送及び前記第2画像データ転送に対して、前記第1画素アレイの前記画素行及び前記第2画素アレイの前記画素行を前記走査タイミング信号に呼応して夫々1本ずつ選択し、

前記第1の映像信号駆動回路は前記2回の第1画像データ転送に応じて第1画素アレイに入力する画像信号の基準電圧に対する極性を、前記第2の映像信号駆動回路は前記2回の第2画像データ転送に応じて第2画素アレイに入力する画像信号の基準電圧に対する極性を、前記走査タイミング信号に呼応して夫々反転し、且つ該第1画素アレイ及び該第2画素アレイの夫々の画素行に入力される画像信号の基準電圧に対する極性を該2回の第1画像データ転送及び第2画像データ転送の一方と他方とで反転する請求項6に記載の表示装置。

【請求項8】

前記表示パネルは液晶表示パネルであり、

前記第1走査信号駆動回路及び前記第2走査信号駆動回路は、前記フレーム期間にて連続する2回の前記第1画像データ転送及び前記第2画像データ転送の一方に対して前記第1画素アレイの前記画素行の隣接する2本と前記第2画素アレイの前記画素行の隣接する2本とを該第1画素アレイ及び該第2画素アレイの一端から前記走査タイミング信号に呼応して順次選択し、該連続する2回の前記第1画像データ転送及び前記第2画像データ転送の他方に対して、該第1画素アレイの該一端に最も近い画素行と該第2画素アレイの該一端に最も近い画素行とを1本ずつ選択した後、該第1画素アレイの残りの画素行と該第2画素アレイの残りの画素行から隣接する2本を夫々該第1画素アレイ及び該第2画素アレイの一端から前記走査タイミング信号に呼応して選択し、

前記第1の映像信号駆動回路は第1画素アレイに入力する画像信号の基準電圧に対する極性を、前記2回の第1画像データ転送及び第2画像データ転送の前記一方と前記他方とで反転する請求項6に記載の表示装置。

【請求項9】

前記表示パネルは液晶表示パネルであり、

前記第1走査信号駆動回路及び前記第2走査信号駆動回路は、前記フレーム期間にて、前記第1画像データ転送及び第2画像データ転送の複数回の伝送に対する前記第1画素アレイの画素行及び前記第2画素アレイの画素行を夫々選択する複数回の工程を繰り返した後、該第1画素アレイの画素行と該第2画素アレイの画素行とを、夫々前記第1画素アレイの一端及び前記第2画素アレイの一端から複数本ずつ前記走査タイミング信号に呼応して順次選択する工程を2回繰り返し、

前記第1の映像信号駆動回路及び前記第2の映像信号駆動回路は、前記第1画素アレイの画素行と前記第2画素アレイの画素行とが複数本ずつ選択される2回の工程にてブランキング信号を該第1画素アレイ及び該第2画素アレイの夫々の画素行に選択された順に入力し、且つ基準電位に対するブランキング信号の極性を該第1画素アレイの画素行と該第2画素アレイの画素行とが複数本ずつ選択される2回の工程の一方と他方とで反転する請求項6に記載の表示装置。

【請求項10】

前記ブランキング信号は、前記第1画素アレイ及び前記第2画素アレイを備えた前記液晶表示パネルの光透過率を前記第1画像データ及び前記第2画像データに応じた前記画像信号の入力による光透過率以下に減衰させる請求項9に記載の表示装置。

【請求項11】

前記表示装置は前記液晶表示パネルに光を照射する光源装置を備え、
前記表示制御部は、前記フレーム期間毎の前記第1画素アレイ及び前記第2画素アレイへの前記ブランキング信号入力に応じて前記液晶表示パネルへの光照射量を弱めるように前記光源装置を制御する請求項10に記載の表示装置。

【請求項12】

前記液晶表示パネルの光透過率はノーマリ・ブラック・モードで変調され、
前記表示制御部は、前記フレーム期間毎の前記第1画像データ転送及び第2画像データ転送の1回目に対する前記第1画素アレイ及び前記第2画素アレイへの前記画像信号入力の終了時刻以降に前記液晶表示パネルへの光照射量を強めるように前記光源装置を制御する請求項11に記載の表示装置。

【請求項13】

前記表示装置は前記液晶表示パネルに光を照射する光源装置を備え、
前記液晶表示パネルの光透過率はノーマリ・ホワイト・モードで変調され、
前記表示制御部は、前記フレーム期間の前記第1画像データ転送及び第2画像データ転送の1回目に対する前記第1画素アレイ及び前記第2画素アレイへの前記画像信号入力の終了時刻から該フレーム期間の1/2が経過した時刻までの間に前記液晶表示パネルへの光照射量を強め、該フレーム期間の終了時刻以前に該液晶表示パネルへの光照射量を弱めるように前記光源装置を制御する請求項1に記載の表示装置。

【請求項14】

M本(Mは、自然数)の画素行が第1の方向に並設された画像表示領域を有し、
該画素行の各々には該画像表示領域の一端から順に1番目乃至M番目のアドレスが付され、

該画素行の各々は該第1の方向に交差する第2の方向に並ぶ複数の画素を含み、且つ
該画素行の各々はタイミング信号に呼応して選択される毎に該選択された画素行に含まれる該複数の画素には夫々画像信号が入力される表示パネルを備えた表示装置を用い、
前記画像表示領域を前記画素行の前記1番目からN番目(Nは、Mより小さい自然数)に到るアドレスを付されたN本からなる第1画素アレイと(N+1)番目から前記M番目に到るアドレスを付された(M-N)本からなる第2画素アレイとに分け、
前記タイミング信号に呼応して前記第1画素アレイに属する前記N本の画素行と前記第2画素アレイに属する前記(M-N)本の画素行とを夫々選択し且つ選択された該第1画素アレイの画素行と該第2画素アレイの画素行との各々に夫々に応じた画像信号を入力して1フレーム期間の画像表示を行う工程にて、

前記画像表示工程は、前記1フレーム期間に第1画像信号入力期間とこれに続く第2画像信号入力期間とを含み且つ、該第1画像信号入力期間及び該第2画像信号入力期間の夫々において前記第1画素アレイの画素行選択及び前記第2画素アレイの画素行選択は走査開始信号に呼応して開始され、

前記第1画像信号入力期間及び前記第2画像信号入力期間の一方では、前記第1画素アレイに属する前記画素行の(N-2n)番目(nは整数で0以上)及び(N-1-2n)番目のアドレスを付された2本と、前記第2画素アレイに属する前記画素行の(N+1+2n)番目及び(N+2+2n)番目のアドレスを付された2本とが、前記タイミング信号に呼応して且つ前記nが順次増加するように選択され、

前記第1画像信号入力期間及び前記第2画像信号入力期間の他方では、前記走査開始信号に呼応して前記第1画素アレイの前記N番目のアドレスを付された1本の画素行と前記第2画素アレイの前記(N+1)番目のアドレスを付された1本の画素行とが夫々選択され、次に前記第1画素アレイに属する前記画素行の(N-1-2n)番目及び(N-2-2n)番目のアドレスを付された2本と、前記第2画素アレイに属する前記画素行の(N+2+2n)番目及び(N+3+2n)番目のアドレスを付された2本とが、前記タイミング信号に呼応し且つ前記nを順次増加させるように選択される表示装置の駆動方法。

【請求項15】

前記第1画像信号入力期間に前記M本の画素行に入力される前記画像信号の基準電圧に対する極性は、前記第2画像信号入力期間に該M本の画素行に入力される前記画像信号の前記基準電圧に対する極性と異なる請求項14に記載の表示装置の駆動方法。

【請求項16】

前記第1画像信号入力期間及び前記第2画像信号入力期間の前記一方では、前記画素行の $(N-2n)$ 番目及び $(N-1-2n)$ 番目のアドレスを付された2本には該 $(N-1-2n)$ 番目の画素行に対応した画像信号が、前記画素行の $(N+1+2n)$ 番目及び $(N+2+2n)$ 番目のアドレスを付された2本には該 $(N+2+2n)$ 番目の画素行に対応した画像信号が前記タイミング信号に呼応して夫々入力され、

前記第1画像信号入力期間及び前記第2画像信号入力期間の前記他方では、前記N番目の画素行には該N番目の画素行に対応した画像信号が、前記 $(N+1)$ 番目の画素行には該 $(N+1)$ 番目の画素行に対応した画像信号が夫々入力された後、前記画素行の $(N-1-2n)$ 番目及び $(N-2-2n)$ 番目のアドレスを付された2本には該 $(N-2-2n)$ 番目の画素行に対応した画像信号が、前記画素行の $(N+2+2n)$ 番目及び $(N+3+2n)$ 番目のアドレスを付された2本には前記 $(N+3+2n)$ 番目の画素行に対応した画像信号が前記タイミング信号に呼応して夫々入力される請求項14に記載の表示装置の駆動方法。

【請求項17】

前記1フレーム期間には、前記第1画像信号入力期間及び前記第2画像信号入力期間の後に前記M本の画素行に前記画像信号に代えてブランキング信号を入力するブランキング信号入力期間が含まれ、

前記ブランキング信号入力期間は第1ブランキング信号入力期間とこれに続く第2ブランキング信号入力期間とを含み、

前記第1ブランキング信号入力期間で前記M本の画素行に入力される前記ブランキング信号の前記基準電圧に対する極性は、前記第2ブランキング信号入力期間で前記M本の画素行に入力される前記ブランキング信号の該基準電圧に対する極性と異なり、

前記第1ブランキング信号入力期間及び前記第2ブランキング信号入力期間の夫々では、前記タイミング信号に呼応して前記第1画素アレイに属する前記N本の画素行と前記第2画素アレイに属する前記 $(M-N)$ 本の画素行とが夫々m本(mは2以上の自然数)ずつ、N番目及び $(N+1)$ 番目の画素行を含む2m本から前記第1の方向沿いに順次選択される請求項14に記載の表示装置の駆動方法。

【請求項18】

前記ブランキング信号は前記M本の画素行に夫々含まれる前記複数の画素の輝度を最小にする電圧信号である請求項17に記載の表示装置の駆動方法。

【請求項19】

前記1フレーム期間には、前記第1画像信号入力期間及び前記第2画像信号入力期間の後に前記M本の画素行の各々に該画素行に応じた画像信号を順次入力する第3画像信号入力期間及びこれに続く第4画像信号入力期間が含まれ、

前記第3画像信号入力期間及び前記第4画像信号入力期間の夫々では、前記タイミング信号に呼応して前記第1画素アレイに属する前記N本の画素行と前記第2画素アレイに属する前記 $(M-N)$ 本の画素行とが1本ずつ、N番目及び $(N+1)$ 番目の画素行を含む2本から前記第1の方向沿いに順次選択され、

前記画素行に夫々入力される前記画像信号の前記基準電圧に対する極性は前記タイミング信号に呼応して前記選択された画素行毎に反転され、且つ前記第3画像信号入力期間にて該画素行の各々に入力される該画像信号の該基準電圧に対する極性は前記第4画像信号入力期間にて該画素行の各々に入力される該画像信号の該基準電圧に対する極性と異なる請求項14に記載の表示装置の駆動方法。

【請求項20】

前記Mは前記表示パネルの垂直解像度を示す数値である請求項14に記載の表示装置の駆動方法。

【請求項21】

前記Nは前記Mの $1/4$ 乃至 $3/4$ の範囲にある任意の自然数である請求項20に記載の表示装置の駆動方法。

【請求項22】

前記Mは偶数であり、前記Nは自然数 $M/2$ である請求項14に記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光源とこれから放射された光の透過量を制御して画像を表示する画素アレイとを備えた表示装置に係り、特に液晶表示装置の如く所定の期間毎に画素アレイに含まれる画素の光透過量を所望の値に保つ（ホールド型表示装置）において、この所定の期間内に、所望値にある画素の光透過量を一旦低下させてインパルス型の画像表示を行うに好適な表示装置及びその駆動方法に関する。

【0002】

【従来の技術】

フレーム期間毎に入力される画像データに基づき、所定の期間（例えば、1フレーム期間に相当する長さの期間）内に複数の画素を透過する光を所望のレベルに保持（Hold）して画像を表示する表示装置として、液晶表示装置（Liquid Crystal Display Device）が普及している。

【0003】

一方、ブラウン管（Braun Tube）に代表される陰極線管（Cathode-ray Tube）は、上記画像データに応じて、これに備えられた複数の画素を上記所定期間内に順次瞬間的に（instantaneously）発光させて画像を表示する。このため、夫々の画素から放射される光は上記所定期間内にて所望のレベルから概ね最小レベルへ減衰する。このような画素からの光放射量の変動する現象は、インパルス発光（Impulse Emission）とも呼ばれ、陰極線管の如く動作する表示装置はインパルス型表示装置とも呼ばれる。これに対して、上述の液晶表示装置の如く動作する表示装置は、ホールド型表示装置（Hold-type Display Device）と呼ばれる。

【0004】

このようなホールド型表示装置の動作を、アクティブ・マトリクス方式（Active Matrix Scheme）の液晶表示装置の一例にて説明する。この液晶表示装置は、複数の画素を二次元的又は行列（Matrix）状に配置された画素アレイ（Pixel Array）を備え、夫々の画素には画素電極とこれに映像信号を供給するスイッチング素子（例えば、薄膜トランジスタ）が設けられる。映像信号は、例えば画面の縦方向（上下方向）に延びる複数のデータ線（Data Lines、映像信号線とも呼ばれる）の一つからスイッチング素子を通して画素電極に供給される。スイッチング素子は、この複数のデータ線に交差して（例えば画面の横方向に）延びる複数のゲート線（Gate Lines、走査信号線とも呼ばれる）の一つから所定の間隔で（例えば、フレーム期間毎に）走査信号を受けて、複数のデータ線の一つから画素電極に映像信号を供給する。従って、スイッチング素子は次の走査信号を受けるまで、画素電極を前の走査信号に応じてこれに供給した映像信号に基づく電位に保ち、この画素電極が設けられた画素の光透過量を所望の値に保つ。多くの液晶表示装置は光源又はこれを備えた光源ユニットを備え、これから放射される光を上記画素アレイにより調整し、そのユーザに画像を見せる。この光源ユニットのうち、画素アレイ（表示パネル、表示素子とも呼ばれる）の液晶表示装置のユーザ側に設けられるものはフロント・ライト・システム（Front Light System）とも呼ばれ、画素アレイの液晶表示装置ユーザからみて裏側に設けられるものはバック・ライト・システム（Back Light System）とも呼ばれる。

【0005】

液晶表示装置の1フレーム期間又はこれに応じた所定の期間内に複数の画素の光透過量を所望のレベルに保持する動作は、画素アレイを照射する上記光源又は光源ユニットからの光を画像表示に活かす上で好適である。しかし、表示すべき画像データが連続する複数のフレーム期間の間で変わる場合（例えば、動画像（Moving Picture）を表示する場合）、画面内にて表示される物体の輪郭が不明瞭になる所謂ぼやけ現象（Blurring Phenomenon）が生じる。このぼやけ現象は、動画ぼやけ（Motion Blur）として、液晶表示装置を利用したテレビジョン装置の動画質（Moving Picture Quality）を劣らせる。

【0006】

液晶表示装置等のホールド型表示装置における上記ぼやけ現象は、連続する一対のフレーム期間（以下、第1のフレーム期間とこれに続く第2のフレーム期間として記す）に跨る画像表示動作にて次のように説明される。画面の縦方向に768個の画素（768本の画素行）が、画面の横方向に1024個の画素（1024本の画素列）が夫々並設されたXGA級の画素アレイを用い、第1のフレーム期間でその中央部を縦断する20本の画素列を黒く、この左右に位置する他の画素列を白く表示して、画面上に縦方向に延びる1本の「黒線」を表示する。第2のフレーム期間では、黒く表示された画素列の側の5本を白く表示し、黒く表示された画素列の左側に並ぶ5本の画素列を黒く表示する。これにより、第1のフレーム期間から第2のフレーム期間に亘り、上記「黒線」が画素アレイ上を右から左へ移動する動画像が得られる。しかしながら、第1のフレーム期間で黒く表示された状態から第2のフレーム期間で白く表示される状態に移行する上記「黒線」の右側の画素列内の各画素の光透過率は、第2のフレーム期間にて白表示に相応しい値まで完全には上昇せず、また第1のフレーム期間で白く表示された状態から第2のフレーム期間で黒く表示される状態に移行する上記「黒線」の左側の画素列内の各画素の光透過率は、第2のフレーム期間にて黒表示に相応しい値まで完全には低下しない。これにより第1フレーム期間で20本の画素列で表示された「黒線」は、第2フレーム期間にて15本の黒い画素列とその左右に5本ずつ並ぶ灰色の画素列で表示され、その輪郭がぼやける。

【0007】

このようにして生じる動画ぼやけは、第1のフレーム期間で画素に送られた映像信号（または、これに応じた量の電荷）の一部が、第2のフレーム期間にて画素に送られる映像信号（または、これに応じた量の電荷）に干渉する、いわば各画素における映像信号の履歴（Hysteresis）に起因すると考えられる。また、液晶表示パネルを備えた表示装置においては、第1のフレーム期間から第2のフレーム期間に亘り画素毎に液晶層に印加される電界の変化に対して液晶分子の配向方位が十分に追従しないために動画ぼやけが生じるとも考えられる。

【0008】

液晶表示装置における動画ぼやけを解消するための従来技術の一つとして、その画素アレイの新規な駆動方法が提案されている（例えば、特許文献1参照）。

【0009】

また、液晶表示装置の動画ぼやけを解消する他の従来技術として、光源ユニットを備えた液晶表示装置の画素アレイと光源ユニットとの動作タイミングを調整しながら夫々を駆動させる新規な駆動方法（例えば、特許文献2）やこれに適した新規な駆動システム（例えば、特許文献3参照）も提案されている。

【0010】

【特許文献1】

特開平11-109921号公報、及びその対応米国特許公報第6396469号（図3）

【特許文献2】

特表平08-500915号公報、及びその対応米国特許公報第5912651号（図3）

【特許文献3】

特開2002-62518号公報(図5及び図6)

【0011】

【発明が解決しようとする課題】

上記特許文献1(特開平11-109921号公報)に開示される液晶表示装置の画素アレイは、画面(画像表示領域)の上下に二分割され、その分割された画素アレイには各々に設けられた画素群に映像信号を供給するデータ線駆動回路が個別に設けられる。この液晶表示装置は、上下に分割された画素アレイの各々のゲート線を1本ずつ、上下併せて2本毎に選択しながら夫々の画素アレイに設けたデータ線駆動回路から映像信号を供給する。このような液晶表示装置の駆動方法は、デュアルスキャン動作(Dual Scanning Operation)とも呼ばれる。このデュアルスキャン動作を1フレーム期間内に行いながら、2つの画素アレイの一方に表示画像に相当する信号(所謂映像信号)を、他方にブランキング画像(Blanking Image)を交互に入力する。ブランキング画像は、例えば画面(特許文献1の液晶表示装置では、分割された画素アレイの少なくとも一つ)の全域を黒又はこれに近い暗い色で概ね一様に表示して得られ、これにより映像信号に応じて画面に生じた輝度分布(これが画像を形成する)を均す動作はブランキング表示とも呼ばれる。

【0012】

上記特許文献1に開示される液晶表示装置では、フレーム期間毎に、その表示画面の上下に分割された画素アレイの双方に、映像表示期間(映像表示ON期間)とブランキング表示期間(映像表示OFF期間)とが宛がわれるため、1フレーム期間における映像の表示画面に保持される時間の比率が小さくなる。このようにフレーム期間毎にブランキング表示期間を設けることで、液晶表示装置の表示画面から光が間欠的に出射されるため、そのユーザはこれに表示される動画像をブラウン管なみの品質で享受できる。

【0013】

一方、液晶表示装置は、これに備えられた画素アレイの個々の画素を発光させず、この画素アレイに入射する光の透過率(Transmissivity)を画素毎に変調して画像を表示する。液晶表示装置に限らず、その画素アレイ内の光透過率分布で画像を表示するホールド型の表示装置の中には、この画素アレイに光を照射する光源装置を備え、表示画像の輝度を高めるものが多い。特にテレビジョン装置に搭載される液晶表示装置では、光源装置が欠かせないと言っても過言ではない。

【0014】

しかし、光源装置による画素アレイ(液晶表示パネル)への光照射は、特許文献1に記載されるブランキング表示を利用した動画像ぼやけ抑止効果を妨げる要因にもなる。液晶表示装置の場合、液晶層に含まれる液晶分子の全てをブランキング表示期間内に液晶層の光透過率を最小に抑える配向状態に到らせる難しさと、液晶分子の屈折率の異方性が原因とも考えられる黒色表示される画面(液晶層)からの光の漏れとが、動画像ぼやけの抑止を妨げる要因として考えられる。

【0015】

光源装置を備えた表示装置に生じる上述の問題を解決すべく、フレーム期間毎に光源装置(光源)による画素アレイへの光照射を所定期間休止し又はその光の強度を弱めて、この表示装置のユーザに画面内の黒色表示領域をより黒く見せる技術は上記特許文献1のみならず、上記特許文献2(特表平5-500915号公報)や上記特許文献3(特開2002-62518号公報)でも論じられている。

【0016】

これらの特許文献に開示される技術に倣い光源装置を間欠的に駆動するとき、表示画像自体の輝度の低下が生じる。特にテレビジョン映像の表示においては、画面内の明るく表示される部分と暗く表示される部分との輝度の差で決まるコントラスト比がその画像品質を決める。従って、これらの従来技術を参照してもなお、動画像表示におけるぼやけ現象の抑止とコントラスト比の確保とを両立させるという課題が残る。

【0017】

【課題を解決するための手段】

本発明による表示装置の一例は、以下の如く記述される。

【0018】

(1) 表示装置は、その画像表示領域に第1の画素アレイ及び第2の画素アレイが並設された表示パネル、この表示パネルの前記第1の画素アレイに画像信号を入力する第1の映像信号駆動回路及び前記第2の画素アレイに画像信号を入力する第2の映像信号駆動回路、及び前記第1の映像信号駆動回路に前記第1の画素アレイに対応した第1画像データを前記第2の映像信号駆動回路に前記第2の画素アレイに対応した第2画像データをフレーム期間毎に夫々転送し且つ第1の画素アレイと第2の画素アレイの動作タイミングを制御する表示制御部を備える。

【0019】

(2) 前記第1画素アレイには前記第2画素アレイに隣接するその一端から前記画像表示領域の一端に向けて複数の画素行が、前記第2画素アレイには前記第1画素アレイに隣接するその一端から画像表示領域の他端に向けて複数の画素行が、夫々並設される。画素行はラインとも呼ばれ、アクティブ・マトリクス駆動される表示装置では、この画素行に含まれる複数の画素に夫々備えられたスイッチング素子が1本の走査信号線で選択されて、これらの画素に画像信号が入力される。

【0020】

(3) 前記表示制御部は、前記フレーム期間毎に前記第1の画像データを前記第1の映像信号駆動回路に前記第2の画像データを前記第2の映像信号駆動回路に夫々複数回転送し、且つ第1画像データ及び第2画像データの転送毎に前記第1画素アレイ及び前記第2画素アレイの夫々に設けられた前記複数の画素行を前記第1画素アレイの一端及び前記第2画素アレイの一端から夫々順次選択する。例えば、表示パネルの画像表示領域で見たとき、前記画素行は、画像表示領域の中央部からその周縁（上端及び下端）に向けて順次選択される。

【0021】

(4) 前記第1の映像信号駆動回路は第1画像データの転送毎に前記第1画素アレイに並設された前記画素行の夫々に選択された順に画像信号を、前記第2の映像信号駆動回路は第2画像データの転送毎に前記第2画素アレイに並設された前記画素行の夫々に選択された順に画像信号を夫々入力する。換言すれば、表示パネルには画素アレイ毎に映像信号駆動回路が夫々設けられ、夫々の画素アレイには個別に画像信号が入力される。

【0022】

以上に述べた本発明による表示装置は、例えば、以下の構造や機能を備える。

【0023】

(5) 前記表示制御部は、前記フレーム期間毎に前記第1画像データ及び前記第2画像データの転送毎に前記第1画素アレイの前記画素行及び前記第2画素アレイの前記画素行を順次選択した後に、第1画素アレイの画素行と第2画素アレイの画素行とを、夫々前記第1画素アレイの一端及び前記第2画素アレイの一端から少なくとも1回順次選択する。

【0024】

前記第1の映像信号駆動回路及び前記第2の映像信号駆動回路は、前記表示制御部が前記第1画素アレイの画素行と前記第2画素アレイの画素行とを少なくとも1回順次選択する期間に、ブランキング信号を該第1画素アレイ及び該第2画素アレイの夫々の画素行に選択された順に入力する。

【0025】

このブランキング信号は、例えば、前記第1画素アレイ及び前記第2画素アレイの夫々の輝度を前記第1画像データ及び前記第2画像データに応じた前記画像信号の入力による輝度以下に減衰させる。

【0026】

(6) 前記表示制御部は、前記フレーム期間毎に前記表示パネルで表示すべき画像データを格納するメモリを備え、この画像データをフレーム期間毎に前記第1画像データ及び前

記第2画像データに分けて前記第1の映像信号駆動回路及び前記第2の映像信号駆動回路に夫々複数回転送する。

【0027】

また、前記第1の映像信号駆動回路が前記第1画素アレイに画像信号を入力する複数の第1駆動回路群からなり、前記第2の映像信号駆動回路が前記第2画素アレイに画像信号を入力する複数の第2駆動回路群からなるとき、前記表示制御部は、前記第1画像データを前記第1駆動回路群毎に分けて、前記第2画像データを前記第2駆動回路群毎に分けて、該第1駆動回路群及び該第2駆動回路群の夫々に転送する。

【0028】

(7) 前記表示装置は、前記第1画素アレイの前記画素行の夫々を選択する第1走査信号駆動回路と前記第2画素アレイの前記画素行の夫々を選択する第2走査信号駆動回路とを備える。前記表示制御部は、前記第1走査信号駆動回路及び前記第2走査信号駆動回路の夫々に走査タイミング信号を入力し、これに呼応して、前記第1画素アレイの前記画素行のN本(Nは自然数)が前記第1画素アレイの一端から前記画像表示領域の一端に向けて選択され、且つ前記第2画素アレイの前記画素行のN本が前記第2画素アレイの一端から前記画像表示領域の他端に向けて選択される。

【0029】

以上に述べた本発明による表示装置とこれに追加される種々の構造又は機能は、ホールド型の表示装置全般に適用できる。

【0030】

本発明による表示装置を液晶表示装置として具現化する場合、例えば、以下の構造や機能も備わる。

【0031】

(8) 前記第1走査信号駆動回路及び前記第2走査信号駆動回路が、前記フレーム期間にて連続する2回の前記第1画像データ転送及び前記第2画像データ転送に対して、前記第1画素アレイの前記画素行及び前記第2画素アレイの前記画素行を前記走査タイミング信号に呼応して夫々1本ずつ選択するとき、前記第1の映像信号駆動回路は前記2回の第1画像データ転送に対応して第1画素アレイに入力する画像信号の基準電圧に対する極性を前記走査タイミング信号に呼応して反転し、また前記第2の映像信号駆動回路は前記2回の第2画像データ転送に対応して第2画素アレイに入力する画像信号の基準電圧に対する極性を、前記走査タイミング信号に呼応して反転する。さらに、第1の映像信号駆動回路及び第2の映像信号駆動回路は、前記第1画素アレイ及び前記第2画素アレイの夫々の画素行に入力される画像信号の基準電圧に対する極性を前記2回の第1画像データと第2画像データとの転送の一方と他方とで反転する。

【0032】

(9) 前記第1走査信号駆動回路及び前記第2走査信号駆動回路は、前記フレーム期間にて連続する2回の前記第1画像データ転送及び前記第2画像データ転送の一方に対して前記第1画素アレイの前記画素行の隣接する2本と前記第2画素アレイの前記画素行の隣接する2本とを第1画素アレイ及び第2画素アレイの一端から前記走査タイミング信号に呼応して順次選択する。また、この連続する2回の前記第1画像データ転送及び前記第2画像データ転送の他方に対して、第1画素アレイの一端に最も近い画素行と第2画素アレイの一端に最も近い画素行とを1本ずつ選択した後、第1画素アレイの残りの画素行と第2画素アレイの残りの画素行から隣接する2本を夫々第1画素アレイ及び第2画素アレイの一端から前記走査タイミング信号に呼応して選択する。このとき、前記第1の映像信号駆動回路は第1画素アレイに入力する画像信号の基準電圧に対する極性を、前記2回の第1画像データ転送及び第2画像データ転送の前記一方と前記他方とで反転する。

【0033】

(10) 前記第1走査信号駆動回路及び前記第2走査信号駆動回路は、前記フレーム期間にて、前記第1画像データ転送及び第2画像データ転送の複数回の伝送に対する前記第1画素アレイの画素行及び前記第2画素アレイの画素行を夫々選択する複数回の工程を繰り

返した後、第1画素アレイの画素行と第2画素アレイの画素行とを、夫々前記第1画素アレイの一端及び前記第2画素アレイの一端から複数本ずつ前記走査タイミング信号に呼応して順次選択する工程を2回繰り返す。言わば、第1画像データ転送及び第2画像データ転送に関係のない画素行選択が2回繰り返される。一方、前記第1の映像信号駆動回路及び前記第2の映像信号駆動回路は、前記第1画素アレイの画素行と前記第2画素アレイの画素行とが複数本ずつ選択される2回の工程にてブランキング信号を第1画素アレイ及び第2画素アレイの夫々の画素行に選択された順に入力する。また、前記第1の映像信号駆動回路及び前記第2の映像信号駆動回路は、このブランキング信号の基準電位に対する極性を、第1画素アレイの画素行と第2画素アレイの画素行とが複数本ずつ選択される2回の工程の一方と他方とで反転する。

【0034】

このブランキング信号は、例えば、前記第1画素アレイ及び前記第2画素アレイを備えた前記液晶表示パネルの光透過率を前記第1画像データ及び前記第2画像データに応じた前記画像信号の入力による光透過率以下に減衰させる。

【0035】

上述した本発明による液晶表示装置に、その液晶表示パネルに光を照射する光源装置を加えると、例えば、以下の構造や機能も備わる。

【0036】

(11) 前記表示制御部は、前記フレーム期間毎の前記第1画素アレイ及び前記第2画素アレイへの前記ブランキング信号入力に応じて前記液晶表示パネルへの光照射量を弱めるように前記光源装置を制御する。前記光源装置は、例えば消灯状態になる。

【0037】

(12) 前記液晶表示パネルの光透過率がノーマリ・ブラック・モードで変調されるときは、前記表示制御部は、前記フレーム期間毎の前記第1画像データ転送及び第2画像データ転送の1回目に対する前記第1画素アレイ及び前記第2画素アレイへの前記画像信号入力の終了時刻以降に前記液晶表示パネルへの光照射量を強めるように前記光源装置を制御する。例えば、このタイミングで消灯状態にある光源装置が点灯状態に遷移する。

【0038】

(13) 前記液晶表示パネルの光透過率はノーマリ・ホワイト・モードで変調されるときは、前記表示制御部は、前記フレーム期間の前記第1画像データ転送及び第2画像データ転送の1回目に対する前記第1画素アレイ及び前記第2画素アレイへの前記画像信号入力の終了時刻からこのフレーム期間の1/2が経過した時刻までの間に前記液晶表示パネルへの光照射量を強め（例えば、光源装置の点灯を開始し）、このフレーム期間の終了時刻以前に液晶表示パネルへの光照射量を弱める（例えば、光源装置を消灯する）ように前記光源装置を制御する。

【0039】

本発明による表示装置の駆動方法の一例では、

M本（Mは、自然数）の画素行（ラインとも呼ばれる）が第1の方向に並設された画像表示領域を有し、M本の画素行の各々には画像表示領域の一端から順に1番目乃至M番目のアドレスが付され、画素行の各々は前記第1の方向に交差する第2の方向に並ぶ複数の画素を含み、且つ前記画素行の各々はタイミング信号に呼応して選択される毎に選択された画素行に含まれる複数の画素には夫々画像信号が入力される表示パネルを備えた表示装置を用い、

前記画像表示領域を前記画素行の前記1番目からN番目（Nは、Mより小さい自然数）に到るアドレスを付されたN本からなる第1画素アレイと（N+1）番目から前記M番目に到るアドレスを付された（M-N）本からなる第2画素アレイとに分け、且つ前記タイミング信号に呼応して前記第1画素アレイに属する前記N本の画素行と前記第2画素アレイに属する前記（M-N）本の画素行とを夫々選択し且つ選択された該第1画素アレイの画素行と該第2画素アレイの画素行との各々に夫々に応じた画像信号を入力して1フレーム期間の画像表示する工程が以下の如く行われる。

【0040】

(1) 前記画像表示工程は、前記1フレーム期間に第1画像信号入力期間とこれに続く第2画像信号入力期間とを含み、且つ第1画像信号入力期間及び第2画像信号入力期間の夫々において前記第1画素アレイの画素行選択及び前記第2画素アレイの画素行選択は走査開始信号に呼応して開始される。

【0041】

(2) 前記第1画像信号入力期間及び前記第2画像信号入力期間の一方では、前記第1画素アレイに属する前記画素行の $(N-2n)$ 番目(n は整数で0以上)及び $(N-1-2n)$ 番目のアドレスを付された2本と、前記第2画素アレイに属する前記画素行の $(N+1+2n)$ 番目及び $(N+2+2n)$ 番目のアドレスを付された2本とが、前記タイミング信号に呼応して且つ前記 n が順次、0, 1, 2, ...と増加させるように選択される。

【0042】

(3) 前記第1画像信号入力期間及び前記第2画像信号入力期間の他方では、前記走査開始信号に呼応して前記第1画素アレイの前記 N 番目のアドレスを付された1本の画素行と前記第2画素アレイの前記 $(N+1)$ 番目のアドレスを付された1本の画素行とが夫々選択され、次に前記第1画素アレイに属する前記画素行の $(N-1-2n)$ 番目及び $(N-2-2n)$ 番目のアドレスを付された2本と、前記第2画素アレイに属する前記画素行の $(N+2+2n)$ 番目及び $(N+3+2n)$ 番目のアドレスを付された2本とが、前記タイミング信号に呼応し且つ前記 n を順次、0, 1, 2, ...と増加させるように選択される。

【0043】

上述した本発明による表示装置の駆動方法には、次のような工程や条件を付加してもよい。

【0044】

(4) 前記第1画像信号入力期間に前記 M 本の画素行に入力される前記画像信号の基準電圧に対する極性を、前記第2画像信号入力期間に M 本の画素行に入力される前記画像信号の前記基準電圧に対する極性とは異ならせる。

【0045】

(5) 前記第1画像信号入力期間及び前記第2画像信号入力期間の前記一方にて、前記画素行の $(N-2n)$ 番目及び $(N-1-2n)$ 番目のアドレスを付された2本に該 $(N-1-2n)$ 番目の画素行に対応した画像信号を、前記画素行の $(N+1+2n)$ 番目及び $(N+2+2n)$ 番目のアドレスを付された2本に該 $(N+2+2n)$ 番目の画素行に対応した画像信号を前記タイミング信号に呼応して夫々入力し、
前記第1画像信号入力期間及び前記第2画像信号入力期間の前記他方にて、前記 N 番目の画素行にこの N 番目の画素行に対応した画像信号を、前記 $(N+1)$ 番目の画素行にこの $(N+1)$ 番目の画素行に対応した画像信号を夫々入力した後、前記画素行の $(N-1-2n)$ 番目及び $(N-2-2n)$ 番目のアドレスを付された2本に $(N-2-2n)$ 番目の画素行に対応した画像信号を、前記画素行の $(N+2+2n)$ 番目及び $(N+3+2n)$ 番目のアドレスを付された2本に前記 $(N+3+2n)$ 番目の画素行に対応した画像信号を前記タイミング信号に呼応して夫々入力する。

【0046】

例えば、前記 N が偶数の場合、前記第1画像信号入力期間及び前記第2画像信号入力期間の前記一方では、第1画素アレイにはその奇数番目の画素行に対応する画像信号が、第2画素アレイにはその偶数番目の画素行に対応する画像信号が夫々入力され、この第1画像信号入力期間及び前記第2画像信号入力期間の前記他方では、第1画素アレイにはその偶数番目の画素行に対応する画像信号が、第2画素アレイにはその奇数番目の画素行に対応する画像信号が夫々入力される。

【0047】

(6) 前記1フレーム期間にて、前記第1画像信号入力期間及び前記第2画像信号入力期間の後に、前記 M 本の画素行に前記画像信号に代えてブランキング信号を入力するブラン

キング信号入力期間を含ませる。

【0048】

このブランキング信号入力期間には、第1ブランキング信号入力期間とこれに続く第2ブランキング信号入力期間とが含まれる。第1ブランキング信号入力期間でM本の画素行に入力されるブランキング信号の前記基準電圧に対する極性は、第2ブランキング信号入力期間でM本の画素行に入力されるブランキング信号の基準電圧に対する極性と異なる。第1ブランキング信号入力期間及び第2ブランキング信号入力期間の夫々は、前記タイミング信号に呼応して前記第1画素アレイに属する前記N本の画素行と前記第2画素アレイに属する前記(M-N)本の画素行とを夫々m本(mは2以上の自然数)ずつ、N番目及び(N+1)番目の画素行を含む2m本から前記第1の方向沿いに順次選択される。

【0049】

このブランキング信号は、M本の画素行に夫々含まれる前記複数の画素の輝度を最小又はこれに近いレベルにする電圧信号で、例えば、前記表示画面全域を黒く表示させる画像信号の一種とも見なせる。

【0050】

(7) 前記1フレーム期間の、前記第1画像信号入力期間及び前記第2画像信号入力期間の後に、前記M本の画素行の各々に画素行に応じた画像信号を順次入力する第3画像信号入力期間及びこれに続く第4画像信号入力期間を含ませる。

【0051】

前記第3画像信号入力期間及び前記第4画像信号入力期間の夫々では、前記タイミング信号に呼応して前記第1画素アレイに属する前記N本の画素行と前記第2画素アレイに属する前記(M-N)本の画素行とが1本ずつ、N番目及び(N+1)番目の画素行を含む2本から前記第1の方向沿いに順次選択される。前記画素行に夫々入力される前記画像信号の前記基準電圧に対する極性は前記タイミング信号に呼応して前記選択された画素行毎に反転される。また、前記第3画像信号入力期間にて各画素行に入力される画像信号の前記基準電圧に対する極性は、前記第4画像信号入力期間にて各画素行に入力される画像信号の前記基準電圧に対する極性と異なる。

【0052】

前記1フレーム期間にて、この第3画像信号入力期間及び第4画像信号入力期間の終了後、上述の第1ブランキング信号入力期間とこれに続く第2ブランキング信号入力期間とによる第1画素アレイ及び第2画素アレイへのブランキング信号入力を行ってもよい。

【0053】

なお、前記自然数:Mは前記表示パネルの垂直解像度を示す数値で、例えば、VGA級のWVGA級の表示パネルでは $M=480$ 、XGA級のWXGA級の表示パネルでは $M=768$ 、SXGA級の表示パネルでは $M=1024$ 、UXGA級のWUXGA級の表示パネルでは $M=1200$ となる。換言すれば、前記M本の画素行には、画像表示に直接関与しない所謂ダミーの画素行は含まれない。前記自然数:Nは、例えば、前記自然数:Mの $1/4$ 乃至 $3/4$ の範囲から選ばれるにある。また、前記自然数:Mが偶数のとき、前記自然数:Nは、例えば自然数: $M/2$ となる。

【0054】

以上に記した本発明の作用並びに効果、及びその望ましき実施形態の詳細に関しては、後述の説明で明らかになるう。

【0055】

【発明の実施の形態】

以下、本発明の具体的な実施形態を、本発明による液晶表示装置とこれに関連する図面を参照して説明する。以下の説明にて参照する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0056】

<実施例1>

[1. 表示装置の概要]

図1は、本発明による液晶表示装置の構成を概念的に示したブロック図である。

【0057】

本実施例の液晶表示装置は、液晶表示モジュール(Liquid Crystal Display Module)とも呼ばれ、図1に示す如く、液晶表示パネル(表示パネル)100を含む表示素子部、タイミング・コントローラ(Timing Controller)110と呼ばれる回路を含む表示制御部、及びバック・ライト・システム(又はフロント・ライト・システム)118を含む光源部という3つのセクションに分けられる。

【0058】

表示素子部は、表示パネルの面に複数の画素を2次元的に配置してなる画素アレイを備え、この画素アレイに表示装置(表示モジュール)に入力された画像情報を表示する。液晶表示装置に代表されるフラット・パネル・ディスプレイ(Flat Panel Display)の多くでは、表示パネル100が画素アレイと等価であるとみなされる。表示装置の雰囲気から画素アレイに入射する光を各画素で反射させて画像表示する反射型の液晶表示装置や、画素アレイ内の各画素に発光領域を設け、その発光現象により画像表示するエレクトロルミネセンス・アレイ(Electroluminescence Display Array)や電界放射型表示素子(Field Emission-type Display Element)では、この表示素子部(画素アレイ)で表示装置に入力された画像情報をそのユーザに見せる(可視化する)ことができる。しかし、本実施例の液晶表示装置は所謂「透過型」であるため、上記光源部からの光で画素アレイを照射しない限り、表示装置のユーザは画素アレイに表示される画像を見れない。

【0059】

本実施例による液晶表示装置では、その表示パネル100(ユーザから見た「画面」)が画素アレイA(画面の上側)101と画素アレイB(画面の下側)102とを含む。それぞれの画素アレイ101、102には、図1の横方向(第1の方向)沿いに延び且つ縦方向(第1の方向に交差する第2の方向)沿いに並ぶ複数の走査信号線と、縦方向沿いに延び且つ横方向沿いに並ぶ複数の映像信号線とが設けられている。これらの信号線の具体的な配置及び機能は、図2を参照して後述し、図1での表示は省略する。

【0060】

表示パネル100の画面(画像表示領域)は、2つの画素アレイ101、102を縦方向(走査信号線の並設方向、又は映像信号線の延伸方向)沿いに並べて形成される。例えば、画面の垂直解像度:M(Mは自然数)の表示パネル100では、画素アレイA(上側画素アレイ)101の画像表示領域に1番目からN番目(Nは上記のMより小さい自然数)までのN本の走査信号線が、画素アレイB(下側画素アレイ)102の画像表示領域に(N+1)番目からM番目までの(M-N)本の走査信号線が、夫々並設される。例えば、XGA級の精細度の表示パネル100(M=768)にて、1番目から400番目までの400本の走査信号線(画素行)を画素アレイ101の画像表示領域に、401番目から768番目までの368本の走査信号線(画素行)を画素アレイ102の画像表示領域に設ける。なお、ここに記した走査信号線の本数は、夫々の画素アレイの画像表示領域周縁に配置した所謂ダミー走査信号線を含まない。

【0061】

画素アレイ101、102の夫々の画像表示領域には、映像信号線が例えば同じ本数で並設されるが、用途に応じてはいずれかの画素アレイの映像信号線数を他のそれより少なくしても、多くしてもよい。双方の画素アレイの画像表示領域に同数の映像信号線を設けた場合、画素アレイAの映像信号線と画素アレイBの映像信号線とは、譬え同じ番地(例えば、図1の左端を基準として)に位置しても電氣的に分離されている。

【0062】

上述のように、本実施例の表示パネル100は、言わば個別に表示パネルの機能を備えた2つの画素アレイ101、102を備えるため、画素アレイ101、102の各々には上記映像信号線に画像信号を出力する映像信号駆動回路と、この画像信号が入力される画素行をこれに対応した上記走査信号線に走査信号を出力して選択する走査信号駆動回路とが

個別に設けられる。画素アレイA（上側画素アレイ）101には、上記1番目からN番目の走査信号線に対応するN本の画素行を選択する（走査信号線に選択信号を入力する）走査信号駆動回路103と、これにより選択された画素行に含まれる画素の夫々に画像信号を供給する映像信号駆動回路105、106が設けられている。画素アレイB（下側画素アレイ）102には、上記（N+1）番目からM番目の走査信号線に対応する（M-N）本の画素行を選択する走査信号駆動回路104と、これにより選択された画素行に含まれる画素の夫々に画像信号を供給する映像信号駆動回路107、108が設けられている。

【0063】

表示制御部は、タイミング制御回路（タイミング・コンバータ）110とこれから上記走査信号駆動回路103、104及び上記映像信号駆動回路105～108に到る信号供給バス（Signal Supply Bus Line）111～116とを含む。本実施例の液晶表示装置では、例えばコンピュータのCPU（Central Processing Unit）、テレビジョン装置の受信機、DVD（Digital Versatile Disc）のデコーダ（Decoder）等から転送される画像情報（映像情報）をタイミング制御回路110で受信し、これをタイミング制御回路110（又はその周辺回路）にて表示パネル100での画像表示に適した画像データ（映像データ）に変換して信号供給バス113～116に通し、映像信号駆動回路105～108へ転送する。タイミング制御回路110が液晶表示装置の外部から受ける上記画像情報には、画像データやこれを伝送するタイミング信号（表示装置から見て「外部クロック」とも呼ぶ）が含まれる。

【0064】

タイミング制御回路110は、これから出力される画像データを上記映像信号駆動回路105～108の各々に設けられたラッチ回路にラッチするタイミングを制御するクロック（ラッチクロック）、映像信号駆動回路105～108にてラッチされた画像データを画素アレイAや画素アレイBの画素（画素行）に供給するタイミングを制御するクロック（走査クロック）、及び画素アレイA及び画素アレイBにおける表示画像を更新するタイミングを制御するクロック（フレーム開始信号）というような表示制御信号も生成する。このため、タイミング制御回路110は、表示制御回路とも呼ばれる。上記走査クロック及び上記フレーム開始信号は信号供給バス111、112を通して走査信号駆動回路103、104へ転送され、上記ラッチクロックは信号供給バス113～116を通して映像信号駆動回路105～108へ転送される。走査クロックやフレーム開始信号は、必要に応じて映像信号駆動回路105～108にも転送するとよい。

【0065】

本実施例では、画素アレイA（上側画素アレイ）101に設けた2つの映像信号駆動回路（A1、A2）105、106とタイミング制御回路110とを信号供給バス113、114で個別に接続し、画素アレイB（下側画素アレイ）102に設けた2つの映像信号駆動回路（B1、B2）107、108とタイミング制御回路110とを信号供給バス115、116で個別に接続する。このため、表示パネルに入力すべき画像データは、タイミング制御回路110から、その画像表示領域に含まれる全画素数の1/4毎に信号供給バス113～116の夫々を通して、映像信号駆動回路105～108の夫々に並行して転送される。また、上述のようにラッチクロックも信号供給バス113～116を通して映像信号駆動回路105～108に夫々転送される。従って、本実施例の表示装置では、表示パネル100の画面（画像表示領域）全体での画像形成に必要な画像データが、例えば1フレーム期間の1/4ほどの時間で表示制御部から表示素子部へ高速で転送できる。

【0066】

このようにして本実施例の画素アレイAに設けた2つの映像信号駆動回路A1、A2及び画素アレイBに設けた2つの映像信号駆動回路B1、B2に並行して取り込まれた画像データは、走査信号駆動回路A、B（103、104）から画素アレイA、B（101、102）への並行した走査信号入力に呼応して、それぞれの画素行に画像信号として順次供給される。走査信号の画素アレイA、B（101、102）への入力に応じて、画素アレ

イAに配置された画素行の少なくとも1本と画素アレイBに配置された画素行の少なくとも1本とが選択されるため、表示パネル100には4つの映像信号駆動回路A1、A2、B1、B2(105、106、107、108)から同時に映像信号が入力される。このため、表示制御部から表示素子部へ高速転送された画像データは、表示素子部にて即座に表示画像に変換される。従って、本実施例の液晶表示装置では、これに1フレーム期間で入力される画像情報を、その1/4の時間で液晶表示パネル100の全域に表示することもできる。

【0067】

光源部は、例えば冷陰極蛍光ランプ(Cold Cathode Fluorescent Lamp)を光源として備えた光源ユニット118、この光源を駆動する(点灯電力を生成する)インバータ回路109、及びこのインバータ回路109から光源ユニット118に駆動電力を供給する電源線119を含む。上記冷陰極蛍光ランプの如き光源は、表示パネル100に対向させて配置しても、導光板(図示せず)を通して表示パネル100に光を照射するように配置してもよい。

【0068】

本実施例では、この光源部における光源(例えば、冷陰極蛍光ランプ)を上記タイミング制御回路110にて生成される表示制御信号に応じて間欠的に駆動し、又はその点灯輝度を変調する。そのため、光源の点灯輝度を調整するインバータ回路109とタイミング制御回路110とは信号供給バス117にて接続され、タイミング制御回路110から供給される制御信号に応じて光源の輝度を制御する。タイミング制御回路110からインバータ回路109に送られる制御信号は、このインバータ回路109の制御のためにタイミング制御回路110で生成しても、又は既にタイミング制御回路110で生成された上述の走査クロックやフレーム開始信号に置き換えてもよい。従って、光源部の点灯タイミング又は点灯輝度の変調も表示制御部により制御される。

【0069】

図2は、本実施例のアクティブ・マトリクス型の液晶表示装置の画像表示領域をなす画素アレイ101、102の内部等価回路を示す。画素アレイ101、102のいずれにも、薄膜トランジスタ(Ithin Film Transistor、以後TFTとも称する)201、液晶容量203、並びにこれに印加される電界を保持する容量成分(保持容量)202を備えた複数の画素が2次元的に配列される。

【0070】

画素アレイA、B(101、102)の夫々には、本実施例の表示装置における表示素子部の説明にて述べたように、表示画面の横方向(第1方向)沿いに延び且つ縦方向(第1の方向に交差する第2の方向)沿いに複数本の走査信号線205が並設される。本実施例では、図1に示す表示パネル100の画像表示領域にm本(mは2以上の偶数)の走査信号線が配置され、図2に示す如く、これらの走査信号線の(m/2)本が表示パネル100の画面上側の画像表示を担う画素アレイA(101)に、その残りの(m/2)本が表示パネル100の画面下側の画像表示を担う画素アレイB(102)に夫々設けられる。よって、表示パネル100の画像表示領域の上端に位置する1番目の走査信号線からその下端に位置するm番目の走査信号線205のうち、1番目から(m/2)番目に到る(m/2)本は画素アレイA(101)に並設され、その夫々はAG(1)からAG(m/2)に到るアドレスが順次付されて識別される。また、表示パネル100の画像表示領域の下半分に配置される(m/2+1)番目から画面下端のm番目は画素アレイB(102)に並設され、その夫々はBG(m/2)からBG(1)に到るアドレスが順次付されて識別される。画素アレイA(101)の走査信号線:AG(1)乃至AG(m/2)には図1の走査信号駆動回路A(103)から走査信号(電圧信号)が印加され、画素アレイB(102)の走査信号線:BG(m/2)乃至BG(1)には図1の走査信号駆動回路B(104)から走査信号(電圧信号)が印加される。

【0071】

一方、画素アレイA、B(101、102)の夫々には、本実施例の表示装置における表

示素子部の説明にて述べたように、表示画面の縦方向（上記第2の方向）沿いに延び且つ横方向（上記第1の方向）沿いに複数本の映像信号線204が並設される。本実施例では、図1に示す表示パネル100の画像表示領域に n 本（ n は2以上の自然数）の映像信号線が配置され、図2に示す如く、これらの映像信号線は、画素アレイA（101）及び画素アレイB（102）に個別に設けられる。画素アレイA（101）に並設される n 本の映像信号線204には、図1に示す表示パネル100の画像表示領域左端からAD（1）からAD（ n ）に到るアドレスが順次付され、画素アレイB（102）に並設される n 本の映像信号線204にもこの画像表示領域左端からBD（1）からBD（ n ）に到るアドレスが順次付される。画素アレイAに設けられた映像信号線AD（ x ）（ x は、1乃至 n の範囲にある任意の自然数）と画素アレイBに設けられた映像信号線BD（ x ）とは、ともに表示パネルの画像表示領域の左端から x 番目の映像信号線として機能するが、互いに電気的に分離される。従って、映像信号線AD（ x ）と映像信号線BD（ x ）とに異なる電圧を同時に印加することができる。画素アレイA（101）の映像信号線AD（1）乃至AD（ n ）のうち、本実施例では図示せざるも映像信号線AD（1）乃至AD（ $n/2$ ）には図1の映像信号駆動回路A1（105）から、映像信号線AD（ $n/2+1$ ）乃至AD（ n ）には図1の映像信号駆動回路A2（106）から、映像信号が夫々供給される。また、画素アレイB（101）の映像信号線BD（1）乃至BD（ n ）のうち、本実施例では図示せざるも映像信号線BD（1）乃至BD（ $n/2$ ）には図1の映像信号駆動回路B1（107）から、映像信号線BD（ $n/2+1$ ）乃至BD（ n ）には図1の映像信号駆動回路B2（108）から、画像信号が夫々供給される。

【0072】

図2にて、画素アレイ101、102に二次元的に設けられた画素は、映像信号線204を通して供給される映像信号を各々に設けられた上記薄膜トランジスタ201のドレイン領域で受け、この薄膜トランジスタ201のゲート電極に走査信号線205から選択電圧（例えば、ゲート選択パルスとも呼ばれる電圧パルス）が印加されることにより、この映像信号に応じた電圧を液晶容量203に印加する。このため、画素アレイ101、102にそれぞれ配置された画素群は、これに映像信号を供給する映像信号線204毎に n 本の画素列（Pixels Column）を形成し、また、これを走査信号にて選択する走査信号線205毎に（ $m/2$ ）本の画素行（Pixels Row）を形成する。従って、図1に示す表示パネル100には、その縦方向（上記第2の方向）沿いに m 本の画素行が並び、その横方向（上記第1の方向）沿いに n 本の画素列が並び、言わば「 $m \times n$ のマトリクス・アレイ」が形成される。これらの画素行及び画素列に応じて各画素に設けられた液晶容量203は表示パネル100の面内に二次元的に配置され、表示パネル100面内の光透過率は液晶容量203のそれぞれへの印加電圧（映像信号）により画素毎に所定の値に設定される。

【0073】

薄膜トランジスタ201は、それぞれの画素の液晶容量203（換言すれば、この画素に対応する液晶層）が示す光透過率を制御する能動素子（Active Element）であり、この能動素子は表示パネル100に応じてダイオード等にも置き換えられる。この能動素子は、画素行の選択に関することから、スイッチング素子とも呼ばれる。薄膜トランジスタ201は、そのソース領域とドレイン領域との間に設けられたチャネル（Channel）の電荷の移動を、ゲートからチャネルに電界を印加して制御する電界効果型トランジスタの構造を持つ。従って、薄膜トランジスタ201を備えた画素を二次元的に配置してなる表示装置において、そのドレイン領域に画素信号を供給する映像信号線をドレイン線、この映像信号線へ映像信号を出力する映像信号駆動回路をドレイン駆動回路、そのゲート（ゲート電極）に走査信号を印加する走査信号線をゲート線、この走査信号線へ走査信号を出力する走査信号駆動回路をゲート駆動回路とも呼ぶ。なお、図1において、映像信号駆動回路105、106、107、108はドレイン駆動回路A1、A2、B1、B2としても記され、走査信号駆動回路103、104はゲート駆動回路A、Bとしても記される。

【0074】

画像信号は、図1に示す映像信号駆動回路105～108の各々において、これに転送された画像データに基づき、画素の各々の表示輝度に応じた階調電圧(Gray Scale Voltage)を選択して各画素に対応した映像信号線に出力される。図2に示される液晶容量203の薄膜トランジスタ201とは反対側には、コモン線(Common Line)206が接続され、液晶容量203の一端に印加される階調電圧に対して基準電圧(Reference Voltage)をその他端に印加する。

【0075】

本実施例において、図2に示す等価回路を備えた画素アレイ101、102は、表示パネル100に備えられた一つの液晶層内に並設される。図2には、画素アレイ101の等価回路と画素アレイ102の等価回路とが個別に示されるが、これに応じて液晶層を画素アレイ毎に分割する必要はない。表示パネル100の製造工程を簡略にし、また表示パネルによる表示画像の品質を確保する上では、一つの液晶表示パネル内に画素アレイ101、102の夫々の等価回路に応じた2つの電極及び配線群を形成することが推奨される。本実施例にて、以下に述べる表示パネル100は、特に断わりのない限り画素アレイ101、102の夫々の等価回路が形成された一つの液晶表示パネルとして形成される。

【0076】

なお、図2に示す等価回路は、電界効果型トランジスタを能動素子として有する液晶表示装置であれば、IPS(In Plane Switching)、IN(Twisted Nematic)、MVA(Multi-domain Vertical Alignment)、OCB(Optical Compensated Birefringence)などのスイッチング・モードに関係なく適用され得る。また、図2に示す薄膜トランジスタ201は、そのチャネル層をa-Si(非晶質シリコン)、p-Si(多結晶シリコン)、及びシリコンの擬似単結晶(Pseudo Single Crystal)のいずれで形成してもよい。

【0077】

〔2. 表示パネルへの画像データ転送方法〕

図1及び図2を参照して述べた本実施例の表示装置における表示パネル100(画素アレイ101、102)への画像データ転送方法を、図3を用いて説明する。

【0078】

図3は、図1に示した本実施例の表示装置における表示制御部から表示素子部への画像データ転送に係る要素を抽出し、且つタイミング制御回路110内に構成される機能ブロックとドレイン基板に転送するデータバスの接続構成との関連を詳細に示す図である。

【0079】

図1に示すタイミング制御回路110は、メモリ制御回路301及びこれにより画像データが格納される2つのフレーム・メモリ302、303を含む。既に述べたように、タイミング制御回路110には表示装置に対して外部回路となる例えばコンピュータのCPUやテレビジョン装置の受信機から画像情報(又は映像情報)が転送されるが、この画像情報は例えばレッド、グリーン、ブルーの3原色に応じたRGBデジタル信号として、メモリ制御回路301からフレーム・メモリ302(以後、メモリAと称する)又はフレーム・メモリ303(以後メモリBと称する)のいずれかへ格納される。

【0080】

画像情報は、表示パネル100(画素アレイA、B(101、102))の画面(画像表示領域)全域に表示される「画像」に対応したデータとして、1フレーム期間毎にタイミング制御回路110へ入力される。換言すれば、表示パネル100の画面に表示される画像は1フレーム期間毎に更新される(同じ画像を繰り返し表示する動作も含めて)。

【0081】

本実施例の表示装置における上記画像情報の処理工程は、図1及び図3を参照して例えば次のように説明される。或るフレーム期間(以後、第nフレーム期間、nは例えば任意の自然数を意味する)に表示パネル100の画面で生成すべき画像情報が、この第nフレー

ム期間の一つ前のフレーム期間（以後、第 $(n-1)$ フレーム期間）にタイミング制御回路110へ入力される。この第 $(n-1)$ フレーム期間にて、メモリ制御回路301は上記画像情報（第 n フレーム期間に表示すべき）をメモリA（302）に格納する。メモリA、B（302、303）は、ともに入力された画像情報を図1の表示パネル100に含まれる上記 m 本の画素行と上記 n 本の画素列とに対応させて記憶する。

【0082】

次に第 n フレーム期間にて、メモリ制御回路301はメモリA（302）に格納された画像情報を画素アレイAに対応する画像データと画素アレイBに対応する画像データとに分けて並行に読み出し、前者を画素アレイAに備えられた映像信号駆動回路A1、A2に、後者を画素アレイBに備えられた映像信号駆動回路B1、B2に夫々転送する。この第 n フレーム期間では、第 n フレーム期間に続く第 $(n+1)$ フレーム期間に表示パネル100の画面で生成すべき画像情報が、タイミング制御回路110へ入力される。メモリ制御回路301は、この第 $(n+1)$ フレーム期間に表示すべき画像情報を第 n フレーム期間にてメモリB（303）に格納する。

【0083】

さらに、第 $(n+1)$ フレーム期間にて、メモリ制御回路301はメモリB（303）に格納された画像情報を、画素アレイAに対応する画像データと画素アレイBに対応する画像データとに分けて並行に読み出し、前者を映像信号駆動回路A1、A2に、後者を映像信号駆動回路B1、B2に夫々転送する。この第 $(n+1)$ フレーム期間では、これに続く第 $(n+2)$ フレーム期間に表示パネル100の画面で生成すべき画像情報がタイミング制御回路110へ入力されるため、メモリ制御回路301は第 $(n+1)$ フレーム期間にて、上述の第 $(n+1)$ フレーム期間と同様に入力された画像情報をメモリA（302）に格納する。

【0084】

メモリ制御回路301は、フレーム期間毎にタイミング制御回路110へ入力される画像情報を上述の如くメモリA（302）及びメモリB（303）に交互に格納し、これに続くフレーム期間にて画像データをメモリA（302）及びメモリB（303）から交互に読み出す動作を繰り返す。

【0085】

図4は、図3の如く画素アレイA、B（101、102）毎に2つの映像信号駆動回路（105、106及び107、108）を設け、これら4つの映像信号駆動回路にタイミング制御回路110から画像データを並行して転送する本実施例の表示装置での画像表示動作の特徴を説明する模式図である。図4（a）は上記第 n フレーム期間及びこれに続く上記第 $(n+1)$ フレーム期間にて表示パネルに生成されるべき画像を、図4（b）は第 n フレーム期間に表示すべき画像がメモリAに格納される様子と第 $(n+1)$ フレーム期間に表示すべき画像がメモリBに格納される様子とを、夫々模式的に示す。

【0086】

上述のように、例えば、第 n フレーム期間に表示すべき画像情報は、第 n フレーム期間の前の第 $(n-1)$ フレーム期間に表示装置に入力される。従って、画像情報の表示装置への入力時刻を基準とすれば、これに応じた画像は1フレーム期間だけ遅れて表示パネル100に表示される。しかし、このような画像表示タイミングの遅延は、表示装置による画像生成にて無視できる。

【0087】

図4（a）に示すように、第 n フレーム期間にて画面左下寄りに表示される暗い色の四角形は、その次の第 $(n+1)$ フレーム期間では画面右上寄りに表示される。従って、この2つのフレーム期間に亘り、この四角形は画面内を移動する言わば動画像が表示パネル100に表示される。

【0088】

一方、図4（b）に示すように、メモリA、Bはこれに入力された画像情報を表示パネル100に形成された $m \times n$ のマトリクス・アレイに応じた画像データとして格納する。さ

らに、メモリA、Bの夫々において、これらの画像データはマトリクス・アレイの行番号及び列番号に応じて映像信号駆動回路A1用、映像信号駆動回路A2用、映像信号駆動回路B1用、及び映像信号駆動回路B2用の4つの画像データ群として識別され、これら4つの画像データ群はメモリ制御回路301により並行して読み出される。図1や図3に示すように、メモリ制御回路301を備えたタイミング制御回路110と映像信号駆動回路A1、A2、B1、及びB2の夫々との間には、個別に信号供給バス113、114、115、及び116が設けられているため、メモリA又はメモリBから並行して読み出された4つの画像データ群を4つの映像信号駆動回路105～108へ同時に転送することもできる。従って、メモリ制御回路301によるメモリA又はメモリBからの画像データ読み出しタイミングを制御するクロックの周波数を上げることなく、タイミング制御回路110から映像信号駆動回路105～108への最大画像データ転送レートを4倍に高速化することができる。

【0089】

なお、図2の如く、画素アレイA及び画素アレイBを夫々における映像信号線の延伸方向（又は、夫々における走査信号線の並設方向）沿いに並べて表示パネル100を構成する本実施例の表示装置では、図3に示す如く画素アレイA及び画素アレイBに複数の映像信号駆動回路を夫々設けて、これらの映像信号駆動回路に個別に画像データを転送しなくてもよい。上述のように、画素アレイA及び画素アレイBの夫々に設けられる映像信号群が互いに電気的に分離されているため、タイミング制御回路110から画素アレイAに設けられる映像信号駆動回路と画素アレイBに設けられる映像信号駆動回路とに個別に信号供給バスを設けることが推奨される。従って、メモリAやメモリBに格納された画像データの映像信号駆動回路A1及びA2用が1つの信号供給バスで画素アレイAの映像信号駆動回路へ、またその映像信号駆動回路B1及びB2用がもう1つの信号供給バスで画素アレイBの映像信号駆動回路へ、夫々転送される。このような本発明による表示装置に特徴的な表示制御部と表示素子部との接続態様において、タイミング制御回路110から夫々の信号供給バスを通して画素アレイA及び画素アレイBに並行して画像データを転送しても、メモリ制御回路301による画像データ読み出しクロックの周波数を上げることなく上記最大画像データ転送レートは2倍に高速化される。さらに、この画像データ読み出しクロックの周波数を2倍に引上げることで、映像信号駆動回路への最大画像データ転送レートを本実施例並みに高速化できる。

【0090】

次に、本発明による表示装置にて上記メモリA（302）及びメモリB（303）に記憶された画像データをメモリ制御回路301で読み出し、画素アレイA及び画素アレイB（本実施例では夫々の映像信号駆動回路105～108）へ転送する順序の一例を、図5を参照して説明する。図5は、図4（b）に示す第nフレーム期間で読み出される画像データがメモリAに格納される様子を示し、本実施例に倣いメモリAは4つの映像信号駆動回路A1、A2、B1、及びB2毎に分割されている。

【0091】

上述のように、メモリA及びメモリBのいずれも、表示パネル100の $m \times n$ のマトリクス・アレイに準じたアドレスで画像データを記憶している。このため、メモリAには、表示パネル100に含まれる m 本の走査信号線（換言すれば、 m 本の画素行）に応じた走査線アドレス（Scan Line Address）が図5の左側に示されるように付される。メモリ制御回路301による画像データの読み出しは、メモリAやメモリBの走査線アドレスで特定されたデータ毎に、換言すれば表示パネル100の画素行毎に行われる。本実施例では、表示パネル100に含まれる画素アレイA及び画素アレイBの夫々に（ $m/2$ ）本の走査信号線（ $m/2$ ）本の画素行）が設けられていることから、画素アレイAに転送される画像データA1及び画像データA2には1番目から（ $m/2$ ）番目に到る走査線アドレスが夫々付され、画素アレイBに転送される画像データB1及び画像データB2には（ $m/2 + 1$ ）番目から m 番目に到る走査線アドレスが夫々付されている。

【0092】

本実施例のみならず、本発明による表示装置では、フレーム・メモリ（図5ではメモリA）に格納された画像データを、画素アレイAに送られる画像データは画素アレイBに近い走査線アドレスが付されたものから読み出し、画素アレイBに送られる画像データは画素アレイAに近い走査線アドレスが付されたものから読み出して、表示パネル100に設けた映像信号駆動回路に夫々転送する。その読み出し順序は、図5の右側に転送順（Transfer Sequence）として付される。従って、表示パネル100に設けたm本の画素行に応じて逐次画像データをm回読み出す場合に比べて本発明による読み出し回数は $(m/2)$ 回と半減する。さらに本実施例では、画素アレイAへ転送する画像データをA1及びA2に分け、且つ画素アレイBへ転送する画像データをB1及びB2に分けて読み出すため、これに要する時間はm本の画素行毎に逐次画像データを読み出すに要する時間の $1/4$ に短縮される。

【0093】

図5にて、上述の如く読み出された画像データは、フレーム・メモリ（メモリA）における夫々の走査線アドレスに応じて、画素アレイAには画素アレイBに近いAG $(m/2)$ の画素行から表示パネル100上端側にあるAG(1)の画素行へ向けて、画素アレイBには画素アレイAに近いBG $(m/2)$ の画素行から表示パネル100下端側にあるBG(1)の画素行へ向けて、順次入力される。夫々の画像データが入力される画素アレイA、Bの画素行のアドレスを図5の右端にアレイA内アドレス（Address in Array A）及びアレイB内アドレス（Address in Array B）として記す。従って、表示パネル100に設けられた画素群には、その縦方向の中央部から画像信号がその上側及び下側へ向けて順次入力される。このような表示パネルへの画像信号の入力方法の利点は、そのための表示パネルの走査タイミングとともに後述される。

【0094】

〔3. 画像表示動作における表示パネルの走査タイミング〕

図5を参照して説明した本発明による表示装置の画像データの転送方法により表示パネル100に表示される画像（特に動画像）の品質を向上するに好適な表示パネルの100の走査タイミングについて述べる。この説明の前に、以下に記す本実施例では、第nフレーム期間及びこれに続く第 $(n+1)$ フレーム期間における表示画像について次のように設定する。まず、第nフレーム期間では、表示パネル100の画面全体を明るく表示する画像データを、次に第 $(n+1)$ フレーム期間では表示パネル100の画面全体を暗く表示する画像データを、画素アレイA、Bに夫々備えられた映像信号駆動回路に転送する。具体的には、第nフレーム期間にて、画素アレイA、Bの夫々の画像表示領域に含まれる画素の全てに、その各々の表示輝度を最大又はそれに近い状態にする画像信号を入力する。これにより表示パネルに表示される画像（例えば、画面全体を白く表示する画像）は、以下、明画像（Bright Image）と呼ぶ。また、第 $(n+1)$ フレーム期間にて、画素アレイA、Bの夫々の画像表示領域に含まれる画素の全てに、その各々の表示輝度を最小又はそれに近い状態にする画像信号を入力する。これにより表示パネルに表示される画像（例えば、画面全体を黒く表示する画像）は、以下、暗画像（Dark Image）と呼ぶ。既に述べたように、動画像表示にて画面に生じる「ぼやけ現象」は、第nフレーム期間における表示画像が第 $(n+1)$ フレーム期間の画面に残ることによる。以下の実施例では、第nフレーム期間に明るく表示された表示パネルの輝度が第 $(n+1)$ フレーム期間にて暗くなる度合いを以て本発明による表示装置及びその駆動方法の効果を検証する。

【0095】

1. 走査タイミングの制御方法1

図6は、本実施例による表示パネルの走査タイミング、換言すれば画素アレイA及び画素アレイBの夫々の画素行に画像信号を供給するタイミングの一例を示すタイミング・チャートである。なお、このタイミング・チャートでは、第nフレーム期間と第 $(n+1)$ フレーム期間との2つの垂直走査期間に挟まれる帰線期間の表示は省かれているが、本実施例では画像データの転送方法により垂直帰線期間自体を表示パネルへの画像信号入力に利

用することもできる。画素アレイA（上側画素アレイ）の走査信号線AG（1）乃至AG（ $m/2$ ）に応じた夫々の画素行は、走査信号線AG（1）乃至AG（ $m/2$ ）に印加される走査信号波形601の夫々に生じる電圧パルス（上に突出した矩形波として示す）により順次選択され、画像信号波形603に示す電圧信号が画像信号として入力される。また、画素アレイB（下側画素アレイ）の走査信号線BG（1）乃至BG（ $m/2$ ）に応じた夫々の画素行は、走査信号線BG（1）乃至BG（ $m/2$ ）に印加される走査信号波形602の夫々に生じる電圧パルス（上述の矩形波）により順次選択され、画像信号波形604に示す電圧信号が画像信号として入力される。走査信号波形601、602に生じる上記電圧パルスは、走査信号線AG（1）乃至AG（ $m/2$ ）及び走査信号線BG（1）乃至BG（ $m/2$ ）の夫々に対応する画素行の各薄膜トランジスタのゲートに印加されることから、以下、ゲート・パルス（Gate Pulse）と呼ぶ。一方、画像信号波形603、604は、画素アレイA、Bの夫々の任意アドレスに位置する映像信号線AD（1）及びBD（1）に出力される電圧波形を示す。

【0096】

図6から明らかなように、画素アレイA及び画素アレイBの夫々に配置された走査信号線には、表示パネル100の中央部に位置するAG（ $m/2$ ）及びBG（ $m/2$ ）からその周縁部（上端又は下端）に位置するAG（1）及びBG（1）に向けて順次ゲート・パルスが印加される。また、ゲート・パルスは、アドレスAG（ $m/2$ ）の走査信号線及びこれに隣接するアドレスBG（ $m/2$ ）の走査信号線との一対を皮切りに、アドレス番号が対応する走査信号線AG（ x ）と走査信号線BG（ x ）（ x は $m/2$ 未満且つ1以上の自然数）との一対に順次（ x 値を減少させる順序で）印加される。さらに、このような各画素アレイの走査信号線へのゲート・パルスの印加は、第 n フレーム期間及び第（ $n+1$ ）フレーム期間の夫々において2回繰り返される。

従って、第 n フレーム期間では、これが開始される時刻 $t(n)$ からその後の時刻 $t(nC)$ に掛けて、表示パネル（液晶表示パネル）100の面内の光透過率は、その中央部からその上端及び下端に向けて徐々に上昇する。

【0097】

図6のタイミング・チャートは、表示装置の表示パネルとして、ノーマリ・ブラック・モード（Normally Black Mode）という画像信号の電圧値と基準電圧との差が大きくなるほど光透過率が増す液晶表示パネルを用いる場合を想定しているため、画像信号波形603、604の基準電圧（点線で表示）に対する電圧振幅は第 n フレーム期間で大きく、第（ $n+1$ ）フレーム期間で小さくされている。また、画像信号波形603、604の基準電圧に対する極性は走査信号線へのゲート・パルスの印加毎に反転され、さらに、画素アレイA、Bの1回目の画像信号入力走査と2回目の画像信号入力走査にてその極性反転のパターンは基準電圧 V_{ref} に対して逆転される。従って、走査信号線AG（ $m/2$ ）及びBG（ $m/2$ ）に対応する画素行には、1回目の画像信号入力走査で正電位の画像信号が、2回目の画像信号入力走査で負電位の画像信号が夫々入力され、走査信号線AG（ $m/2-1$ ）及びBG（ $m/2-1$ ）に対応する画素行には、1回目の画像信号入力走査で負電位の画像信号が、2回目の画像信号入力走査で正電位の画像信号が夫々入力される。

【0098】

さらに、本実施例では、各フレーム期間にて2回の画像信号入力走査を終えた後、ブランキング信号という画素アレイA、Bの画素の光透過率を一律に暗く表示する言わばダミーの画像信号が、各フレーム期間における1回目の画像信号入力走査と同様なパターンでその基準電圧に対する極性（電位）をゲート・パルスの印加毎に反転させながら各画素行に入力される。これにより、特に第 n フレーム期間にて画像信号入力走査により明るく表示された画面が第（ $n+1$ ）フレーム期間にて十分暗くなるように、画素アレイA、Bの各画素に設けられた液晶容量に印加される電界が弱められる。

【0099】

このように、本実施例にて、1フレーム期間 Δt_F 内で画素アレイA、Bに表示画像（B

right Image, or Dark Image) を2回、ブランキング画像 (Blanking Image) を1回夫々入力できるのは、図3を参照して説明したように表示制御部から表示素子部への最大画像データ転送量を4倍に上げたことによる。その要因の一つは、画素アレイA、Bへの画像データ転送を並行して行うことであり、もう一つは画素アレイA、Bへのデータ転送バス(信号供給バス)を2つに分け、又は転送クロック(画像データ読み出しクロック)の周波数を2倍に設定したことにある。後者の要因は、ゲート・パルスの印加による画素行の選択に対し、これらに入力すべき画像信号を映像信号駆動回路から出力させるタイミングをより速く追従させる。従って、ゲート・パルスの印加毎に映像信号駆動回路から画像信号を出力する時間は、前者の要因により表示装置(タイミング制御回路110)に入力される画像情報の水平期間の約半分に、さらに後者の要因によりその約1/4に短縮され、1フレーム期間 Δt_F の1/4という短い期間($\Delta t_F/4$)で表示パネル100の全画面に画像データに即した映像が表示される。

【0100】

図6のタイミング・チャートでは、1フレーム期間の開始(第nフレーム期間では、時刻 $t(n)$)からその3/4が経過した時刻(第nフレーム期間では、時刻 $t(nD)$)より前の時点(第nフレーム期間では、時刻 $t(nC)$)迄に画像情報に拠る画像信号が表示パネル100に2回入力され、その残りの時間帯(1フレーム期間 Δt_F の残り1/4)でブランキング信号が表示パネル100に1回入力される。

【0101】

再び、画像信号波形603、604の基準電圧に対する極性を2回の画像信号入力走査(第nフレーム期間では、時刻 $t(n) \sim t(nA)$ 及び時刻 $t(nB) \sim t(nC)$ に亘る画像信号入力)にて反転させる駆動方法について述べる。例えば、プログレッシブ方式(Progressive Mode)で表示装置に入力される動画像は、60Hzの周期でその表示画像の少なくとも一部が変化する画像情報(映像情報)であり、その第nフレームと第(n+1)フレームとで表示される画像は必ずしも一致しない。このため、液晶表示パネルを用いた表示装置では、その各画素に含まれる液晶容量に印加される電界(画像信号)の極性を或るフレーム期間とこれに続く次のフレーム期間とにおいて反転させ、液晶層に印加される電界の向きを30Hzの交流化周期で反転させている。このようにして液晶層の印加電界による分極を回避する液晶表示パネルの駆動方法は、2フレーム期間($2\Delta t_F$)に亘る交流完結とも呼ばれる。しかし、この方法に倣って液晶表示パネルにより動画を表示すると、正極と負極で大きく異なる電圧が印加され、極性間で不均衡となる可能性が浮上する。例えば、連続する4フレーム期間($4\Delta t_F$)にて表示パネルに「暗画像」、「明画像」、「暗画像」、「暗画像」をこの順で表示すると、「暗画像」の連続するフレーム期間の中で1フレーム期間(Δt_F)のみ表示された「明画像」に対応する画像信号の極性が、基準電圧に対して正であれ負極であれ、画素毎に形成される液晶容量に残留する。その結果、連続する4フレーム期間にて液晶層に印加される電界の方向は基準電圧(上記コモン線等で印加される)に対して正又は負のいずれかに偏る。このような現象に鑑み、本実施例では1フレーム期間 Δt_F 内に基準電圧に対して同じ電位差を有する画像信号を、この基準電圧に対する極性を逆転させて2回画素アレイに入力し、且つこれが液晶容量に印加される時間(保持時間)を互いに均しくする。

【0102】

液晶表示パネルの各画素に対応する液晶層の光透過率は、図2の等価回路に示すような画素毎に設けられた液晶容量203の薄膜トランジスタ(スイッチング素子)201側とコモン線206側とに印加される電界の大きさに応じた液晶分子の配向方位により決まる。しかしながら、この液晶分子の配向方位は液晶容量203に印加される電界の方向には実質的に影響されない。このため、図6に示す第nフレーム期間で画素アレイA、Bの夫々の画素行に2回の画像信号を入力する工程で、夫々の画素行に含まれる各画素に対応する液晶層内の液晶分子は次のように振舞う。

【0103】

まず、図6に破線で示す基準電圧 V_{ref} に対して明画像の表示に要する画像信号電圧を

V_h (時刻 $t(n) \sim t(nA)$ の間及び時刻 $t(nB) \sim t(nC)$ の間に示される電圧波形 $AD(1)$, $BD(1)$ の電圧振幅) とする。走査信号線 $AG(m/2)$ 及び $BG(m/2)$ で選択される画素行に対応する液晶層の液晶分子 (液晶容量の誘電体層として図2に示される) は、1回目の画像信号入力で $+V_h$ の電圧が印加され、これ電圧に応じた方向への配向を開始する。この液晶分子には2回目の画像信号入力で $-V_h$ の電圧が印加されるが、この電圧印加は1回目の画像信号入力により開始された液晶分子の配向をキャンセルすることなく、むしろ電圧 $+V_h$ に応じた方向への配向を促進する。このような現象は、液晶分子が1回目の画像信号入力で液晶層に印加される電圧 $+V_h$ と2回目の画像信号入力で液晶層に印加される電圧 $-V_h$ とにより液晶層に生成される電界のみを感じ、その方向に影響されないことによる。換言すれば、本実施例では、1フレーム期間 Δt_F 内に液晶層に所定の強度の電界を2度印加することにより、これに含まれる液晶分子の所望の方向 (液晶層に所望の光透過率を与える) への配向が加速される。

【0104】

このような液晶分子の挙動は、走査信号線 $AG(m/2)$ 及び $BG(m/2)$ で選択される画素行に対応する液晶層に限らず、画素アレイ A , B の画像表示領域内に配置されて走査信号線から印加されるゲート・パルスで選択される全ての画素行に夫々対応する液晶層に生じる。また、第 n フレーム期間の1回目の画像信号入力で $-V_h$ の電圧が、2回目の画像信号入力で $+V_h$ の電圧が、夫々入力される走査信号線 $AG(m/2-1)$ 及び $BG(m/2-1)$ で選択される画素行に対応する液晶層でも、画素行においても、走査信号線 $AG(m/2)$ 及び $BG(m/2)$ で選択される画素行に対応する液晶層における上述の現象が同様に生じる。このことから、同じ強度の電界を液晶層に2度印加することによる液晶分子の所定方向への配向の加速は、印加電界の方向 (電界の極性) に拠らないことは明らかである。

【0105】

このような所定強度の電界をフレーム期間 Δt_F 毎に液晶層への複数回印加により液晶分子の所定方向への配向を加速させる効果は、これらの印加電界の方向を変えなくとも得られる。しかし、1フレーム期間 Δt_F 内に液晶層に所定強度の電界を同じ方向で複数回印加する動作を複数のフレーム期間に亘り繰り返すと、液晶層には基準電圧 V_{ref} に対して正電位又は負電位のいずれかに偏った電界が残留し、既に述べた液晶層の分極が生じ易くなる。また、液晶層に複数回印加される所定強度の電界の方向をフレーム期間 Δt_F 毎に反転させても、連続する一対のフレーム期間に亘り表示パネルに画像が残留する問題が生じる。この問題は、第 n フレーム期間で基準電圧に対して最大の電圧振幅の画像信号を、これに続く第 $(n+1)$ フレーム期間で基準電圧に対して最小の電圧振幅の画像信号を、夫々画素アレイに印加するときに目立ち、動画像表示時においては上述の動画ぼやけをもたらす。従って、本実施例のように1フレーム期間 Δt_F に複数回行われる画像信号入力の隣接する少なくとも2回にて画像信号の極性 (基準電圧に対する電位) を反転させることで、上述の諸問題は回避され得る。

【0106】

一方、本実施例では1フレーム期間 Δt_F におけるブランキング信号の画素アレイへの入力を1回行う。このため、第 n フレーム期間の時刻 $t(nC) \sim t(n+1)$ の間に各画素行に応じた液晶層に印加される電界は、電圧波形 $AD(1)$, $BD(1)$ に示されるように基準電圧 V_{ref} に対して正電位又は負電位のいずれかに偏る。しかし、ブランキング信号は上述したように画素アレイ全域に亘る液晶層の光透過率を一様に下げるものであり、且つその基準電圧 V_{ref} に対する電圧振幅はノーマリ・ブラック・モードの液晶表示パネルにおいて必然的に小さくなる。従って、各フレーム期間における1回のブランキング信号入力では上述の諸問題も実質上無視できる。また、上述の諸問題を排除すべく、フレーム期間 Δt_F 毎に各画素行に入力されるブランキング信号の極性 (基準電圧 V_{ref} に対する電位) を反転させてもよい。また、図6の電圧波形 $AD(1)$, $BD(1)$ に示されるように、第 n フレーム期間のブランキング信号の極性をゲート・パルス毎に反転させるパターンを、その直前に行われる2回目の画像信号入力のそれを逆転させて生成し

てもよい。さらに、第 n フレーム期間のブランキング信号入力に続く第 $(n+1)$ フレーム期間の1回目の画像信号入力でのゲート・パルス毎の画像信号の極性反転パターンを、第 n フレーム期間のブランキング信号の極性反転パターンを逆転させて生成してもよい。

【0107】

以上に述べたいずれのブランキング信号入力方法により、任意のフレーム期間（図6では、第 n フレーム期間）にて画面に表示される画像は、これに続く別のフレーム期間（図6では、第 $(n+1)$ フレーム期間）にて画面に残らない。従って、動画ぼやけの原因となるフレーム期間に亘る残像は抑止される。

【0108】

図7は、図6のタイミング・チャートに示す走査タイミングの制御方法で駆動される液晶表示パネル（図1の表示パネル100）の液晶層の光透過率応答と、この液晶表示パネルに光を照射する光源装置（図1のバック・ライト・システム118）に備えられた光源の点灯タイミング（以下、バックライトの点灯タイミングと記す）702とを示すタイミング・チャートである。なお、図7に示す第 n フレーム期間及びこれに続く第 $(n+1)$ フレーム期間を示す時間軸は、図6に示すそれと概ね対応する。

【0109】

図7の上段には、図6に示した走査信号線AG(1)に印加される走査信号601のゲート・パルスに呼応して画像信号又はブランキング信号に応じた電圧信号603が入力される画素行（表示パネル100の上端）、及び走査信号線AG($m/2$)に印加される走査信号601のゲート・パルスに呼応して画像信号又はブランキング信号に応じた電圧信号603が入力される画素行（表示パネル100の中央部）の夫々に対応する画素アレイA内の液晶層の光透過率波形701が、夫々の走査信号線に印加される走査信号波形601とともに示される。

【0110】

図7の中段には、図6に示した走査信号線BG(1)に印加される走査信号602のゲート・パルスに呼応して画像信号又はブランキング信号に応じた電圧信号604が入力される画素行（表示パネル100の下端）、及び走査信号線BG($m/2$)に印加される走査信号602のゲート・パルスに呼応して画像信号又はブランキング信号に応じた電圧信号604が入力される画素行（表示パネル100の中央部）の夫々に対応する画素アレイB内の液晶層の光透過率波形701が、夫々の走査信号線に印加される走査信号波形602とともに示される。

【0111】

なお、図7にて走査信号線AG($m/2$)の走査信号波形601と走査信号線BG($m/2$)の走査信号波形602とは、一つの波形として示される。これは、図6を参照して説明したように、本実施例では走査信号線AG($m/2$)の走査信号601のゲート・パルスと、走査信号線BG($m/2$)に印加される走査信号602のゲート・パルスとがタイミングを合わせて発生されることに拠る。また、走査信号線AG($m/2$)及び走査信号線BG($m/2$)により選択される夫々の画素行に対応する液晶層の光透過率も一つの波形701として記される。これは、「3. 画像表示動作における表示パネルの走査タイミング」の冒頭で述べたように第 n フレーム期間では画面全体を一様に明るくする明画像が、第 $(n+1)$ フレーム期間では画面全体を一様に暗くする暗画像が夫々表示されるため、これらのフレーム期間を通して各々の画素行には同じ電圧信号が同じタイミングで入力されることに拠る。

【0112】

図7に示すように、第 n フレーム期間では明画像に対応した画像信号が、第 $(n+1)$ フレーム期間では暗画像に対応した画像信号が表示パネル100の画面中央からその周縁（上端及び下端）に向けて順次入力されるため、これに備えられた液晶層の光透過率は画面中央から画像信号への応答を開始する。既に述べたように、本実施例の表示装置では、その表示制御部から表示素子部への画像データの転送を1フレーム期間 Δt_F の $1/4$ という短い時間（ $\Delta t_F/4$ ）で行えるため、表示パネルの画面への第 n フレーム期間におけ

る明画像入力及び第 $(n+1)$ フレーム期間における暗画像入力は、各フレーム期間の開始時刻からその4分の1の時間 $(\Delta t_F/4)$ が経過した時刻で完了する。一方、表示パネルの液晶層の光透過率は、これに形成された画素アレイA、Bの各画素行に対応した部分が夫々の画素行への画像信号の入力に応じて緩く変化し始める。

【0113】

一方、第 n フレーム期間における表示パネルの画面への画像信号の入力完了時刻 $t(nA)$ にて、図7の点灯タイミング702に倣いバックライトを点灯させると、図7のように表示パネル100の画面中央が最も明るく、その上下端へ向かって暗くなる上下方向に对称的な映像が画面に表示される。これは、表示パネル100の液晶層の光透過率変化が、画素アレイA、Bに配置された走査信号線AG $(m/2)$ 及び走査信号線BG $(m/2)$ で選択される画素行に相当する部分から走査信号線AG (1) 及び走査信号線BG (1) で選択される画素行に相当する部分に向けて順次進行することに拠る。換言すれば、表示パネル100の少なくとも画面中央を通して放射される光の輝度は、液晶層の光透過率が画像信号にตอบสนองして変化する過程の影響を受けず、あたかもバックライト点灯にตอบสนองするようにして所望の値に立ち上がる。従って、表示パネル100の画面中央には、インパルス型の表示装置並みの高い品質の映像が表示される。

【0114】

一方、第 n フレーム期間にて表示パネルの画面へのブランキング信号入力開始される時刻 $t(nD)$ の後、その液晶層の光透過率は、画素アレイA、Bに配置された走査信号線AG $(m/2)$ 及び走査信号線BG $(m/2)$ で選択される画素行に相当する部分から走査信号線AG (1) 及び走査信号線BG (1) で選択される画素行に相当する部分に向けて順次減少する。しかしながら、液晶層の光透過率の変化は、これに印加される電界が強まるときより、弱まるときに緩くなる。液晶表示パネルは、初期配向された状態（液晶層に電界が印加されない時の液晶分子の配向状態）にある液晶分子を電界により所望の方向に強制的に配向させ、また所定の方向に液晶分子を配向させる電界を解除して液晶分子を初期配向状態（又はこれに近い状態）に戻して、その光透過率を制御するため、印加電界の増大と減少とに対する双方の光透過率の応答速度が相違する。従って、時刻 $t(nD)$ 後における表示パネル100の光透過率の低下は、図7に示す如く、その画面中央においても遅い。

【0115】

これに対して、図7の点灯タイミング702に示す如く、バックライトを表示パネル100へのブランキング信号入力を開始する時刻 $t(nD)$ で消灯することにより、表示パネル100の画面の輝度は瞬時に低下する。従って、表示パネル100の画面が液晶層の光透過率変化に応じてブランキング画像に緩やかに遷移する過程を表示装置のユーザに見せることなく、バックライトの消灯によりブランキング画像（又は、このような黒画像）を画面全域に表示される。従って、時刻 $t(nA)$ から時刻 $t(nD)$ に亘り、表示パネル100の画面内で最も明るく表示された中央部の輝度は、瞬時に最小となる。従って、表示パネル100の画面中央は、時刻 $t(nD)$ に前後して高いコントラスト比を示し、この領域に表示される画像はインパルス型の表示装置で表示されるそれに匹敵する。

【0116】

図7の点灯タイミング波形702に示される如く、バックライトは第 $(n+1)$ フレーム期間においても第 n フレーム期間と同様なタイミングで点灯と消灯を繰り返す。第 $(n+1)$ フレーム期間にて表示される暗画像に対応した画像信号は、このフレーム期間の開始（時刻 $t(n+1)$ ）とともに表示パネル画面の中央部から入力され、液晶層の光透過率もこれに応じて画面中央から応答を開始する。第 $(n+1)$ フレーム期間における暗画像の信号は、その直前の第 n フレームにて明画像を表示した液晶層の光透過率を上述のブランキング信号にて或る程度減衰させた後に各画素行（表示パネル100に形成された2つの画素アレイA、Bの夫々に配置された）に順次入力される。このため、第 $(n+1)$ フレーム期間の最初の4分の1に相当する時間 $(\Delta t_F/4)$ が経過した時刻においては、表示パネル100の画面の殆どの領域において、液晶層の光透過率は暗画像に対応した値

に応答している。

【0117】

上述のように、液晶層の光透過率は、これに印加される電界の減少に対する応答がその増加に対する応答よりも遅い。従って、液晶層に印加される電界を弱めて（又は解除して）暗画像（黒画像）を表示するノーマリ・ブラック・モードの液晶表示パネルでは、明画像を表示したフレーム期間に続くフレーム期間で暗画像を表示する場合、暗画像に明画像が残りやすい。この残像は、白い背景に黒い物体を表示する画像をフレーム期間に亘り黒い物体の画面内における位置を変えて表示するときにも生じる。本実施例では、このようなノーマリ・ブラック・モードの表示パネル一般に共通するフレーム期間に亘り画面に残留する明画像を、フレーム期間毎に画像信号を表示パネルに入力した後にブランキング信号を入力して抑える。このため、本実施例では第 $(n+1)$ フレーム期間で表示パネル100に入力される暗画像の信号に対する液晶層の応答の遅れが、第 n フレーム期間で表示パネル100に入力されたブランキング信号により補正される。

【0118】

さらに、本実施例では、液晶表示パネルのようにその光透過率の変調で画像表示を行う表示パネルにおいては、これに間欠的に光照射を行い残留する明画像を表示装置のユーザに見えなくする。第 $(n+1)$ フレーム期間においても、第 n フレーム期間と同様にその開始時刻から時間 $\Delta t_F/4$ が経過したのち、消灯状態にあるバックライトが点灯されるため、第 n フレーム期間から残る明画像は第 $(n+1)$ フレーム期間にて殆ど画面から消える。

【0119】

以上の「走査タイミングの制御方法1」の説明では、第 n フレーム期間にて画面に明画像を表示し、これに続く第 $(n+1)$ フレーム期間にて画面に暗画像を表示する表示パネル100の表示動作を例に、その効果を述べた。この表示動作は、画面全体を白く表示して上記明画像を表示し、且つ画面全体を黒く表示して上記暗画像を表示する動作を含む。また、第 $(n+1)$ フレーム期間にて、上記暗画像より表示階調の高い（明画像よりは表示階調の低い）中間調の画像（Half tone Image）を表示した場合においても、上述の走査タイミングの制御方法は同様な効果をもたらす。

【0120】

2. 走査タイミングの制御方法2

図8は、本実施例による表示パネルを動作させる走査タイミングの他の一例を示すタイミング・チャートである。このタイミング・チャートには、図6のそれと同様に、第 n フレーム期間にて明画像（例えば、画面全体を白く表示する画像）を、これに続く第 $(n+1)$ フレーム期間にて暗画像（例えば、画面全体を黒く表示する画像）を夫々表示する表示パネルの動作における、この表示パネル100内に設けられた画素アレイAの走査信号線AG(1)乃至AG($m/2$)に印加される走査信号波形801と走査信号線AG(1)～AG($m/2$)の夫々で選択される画素の夫々に入力される画像信号又はブランキング信号の波形803、及び表示パネル100内に設けられた画素アレイBの走査信号線BG(1)乃至BG($m/2$)に印加される走査信号波形802と走査信号線BG(1)～BG($m/2$)で選択される画素の夫々に入力される画像信号又はブランキング信号の波形804が示される。

【0121】

図8のタイミング・チャートにおいて、各フレーム期間における画素アレイA、Bの各々の画素（走査信号線に対応した $(m/2)$ 本の画素行）を選択するタイミング及び画像信号の値と極性は図6の夫々と概ね同じであるが、画素アレイA、Bへのブランキング信号（ブランキング画像）の入力タイミング、その値及び極性が異なる。図8に示す画素アレイA、Bへのブランキング信号の入力は、画素アレイA、Bの夫々に設けられた走査信号線の隣接し合う2本毎にゲート・パルスを与え、順次選択する。表示パネル100においては、画素行が4本毎に順次選択されて、これらにブランキング信号が順次入力される。これにより、1フレーム期間 Δt_F の $1/8$ の時間（ $\Delta t_F/8$ ）にて表示パネルへのブ

ランキング画像の入力は完了するため、表示パネルへのブランキング信号入力期間と次のフレーム期間における1回目の画像信号入力期間との間に、液晶層内の液晶分子がブランキング画像表示に応じた方向へ配向していくための時間的な余裕が生じる。図8のタイミング・チャートにおいては、任意のフレーム期間における表示パネルへのブランキング信号入力期間の終了時刻(第 n フレーム期間における時刻 $t(nE)$ 参照)より $\Delta t_F/8$ の時間が経過した後、これに続く次のフレーム期間(これにおける表示パネルへの1回目の画像信号入力期間)が開始される(第 $(n+1)$ フレーム期間における時刻 $t(n+1)$ 参照)。

【0122】

このようにゲート・パルス毎に2本の画素行を選択し、その夫々に含まれる画素群にブランキング信号を入力する動作は「2ライン同時書込み(2-lines Simultaneous Write-in)」又は「2ライン飛び越し走査(2-lines Skip-Scanning)」とも呼ばれ、ブランキング信号に代えて画像信号を入力する動作も同様に呼ばれる。また、ゲート・パルス毎に N 本(N は3以上の自然数)の画素行を選択し、その夫々に含まれる画素群毎にブランキング信号や画像信号を入力する動作は「 N ライン同時書込み」又は「 N ライン飛び越し走査」とも呼ばれる。図8においては、画素アレイA、Bの夫々にブランキング信号を2ライン同時書込み方法で入力している。

【0123】

画素アレイA、Bに表示されるブランキング画像を、表示装置に入力される画像情報(映像情報)に関係なく、表示パネルの画面全域を一様な暗さで(例えば、画面全域を黒く)表示する場合、画素アレイの各々に設けられた映像信号駆動回路内部でブランキング信号を発生させることができる。従って、ブランキング画像に応じたデータを表示装置の表示制御部(タイミング制御回路110)から表示素子部(映像信号駆動回路105~108)に転送する必要はなくなり、この間における転送速度に関係なく、画素アレイA、Bへのブランキング信号入力期間を、例えば図8のタイミング・チャートに示す如く1フレーム期間 Δt_F の $1/8$ に短縮できる。また、ゲート・パルス毎に選択される画素アレイA、Bの各々の画素行数を増やすことで、表示パネルへのブランキング信号入力期間は更に短縮される。

【0124】

図8に示すブランキング信号入力期間において、その基準電圧 V_{ref} に対するブランキング信号の極性はゲート・パルス毎に反転される。これにより、一部の画素行(例えば、走査信号線AG($m/2-1$), BG($m/2-1$))に対応する画素行)においては、これに入力されるブランキング信号とその直前に入力された画像信号とが基準電圧 V_{ref} に対して同じ極性を示す。しかし、ノーマリ・ブラック・モードで動作する液晶表示パネルでは、ブランキング信号の基準電圧 V_{ref} に対する電圧振幅は小さく、また、図8の如くフレーム期間毎に基準電圧 V_{ref} に対するブランキング信号の極性反転パターンを逆転させることで、その影響は実質的になくなる。

【0125】

図9は、図8のタイミング・チャートに示す走査タイミングの制御方法で駆動される液晶表示パネルの液晶層の光透過率応答901と、この液晶表示パネルに光を照射するバックライトの点灯タイミング702(図7と同じ)とを示す。図7と同様に、図9においても、図8に示した走査信号線AG(1)、走査信号線AG($m/2$)並びにBG($m/2$)、及び走査信号線BG(1)の走査信号波形801、802と、各々の走査信号のゲート・パルスに呼応して画像信号又はブランキング信号が印加される画素行に対応した液晶層の各部分の光透過率応答波形901とが合わせて示される。また、走査信号線AG($m/2$)に印加される走査信号及び走査信号線BG($m/2$)に印加される走査信号と、これらの走査信号線の夫々に対応する液晶層の光透過率とは、図7と同様な理由により、一つの信号波形801、802と一つの応答波形901により示される。

【0126】

図6を参照して説明した「走査タイミングの制御方法1」では、図7の第 n フレーム期間

におけるブランキング信号入力期間（時刻 $t(nD) \sim t(n+1)$ ）に示されるように、表示パネル100の画面上端及び下端の画素行（走査信号線AG(1)、BG(1)のゲート・パルスで選択される画素行）に対応する液晶層の光透過率の応答は、その画面中央の画素行（走査信号線AG($m/2$)、BG($m/2$)のゲート・パルスで選択される画素行）の液晶層のそれに比べて1フレーム期間の4分の1相当分（時間 $\Delta t_F/4$ ）だけ遅延する。このため、表示パネル100の画面上端及び下端における液晶層の光透過率の減少は、第 $(n+1)$ フレーム期間の開始時刻あたりで始まる。表示パネル100の画面周縁で生じる液晶層の光透過率の応答遅延に因り第 n フレーム期間の画像が第 $(n+1)$ フレーム期間の画面上に残留する問題は、図7に示すバックライトの点灯タイミング702にて解消されている。

【0127】

図8のタイミング・チャートに示す「走査タイミングの制御方法2」では、ブランキング信号入力期間にてゲート・パルス毎に選択される画素行数を、画像信号入力期間におけるそれより多くするように表示パネル（画素アレイA、B）を動作するため、その駆動システムは図6の「走査タイミングの制御方法1」に要するそれより複雑になる。しかしながら、図8の「走査タイミングの制御方法2」により動作する表示装置は、図6の「走査タイミングの制御方法1」により動作するそれに比べて、フレーム期間毎の表示パネル（画素アレイA、B）へのブランキング信号入力を、そのフレーム期間の終了時刻より所定の時間だけ早く終了できる。このようにして、表示パネルのブランキング画像への見かけ上の応答を加速することで、フレーム期間毎にバックライトを点灯する時刻にて、その前のフレーム期間の画像が残り難くなり、表示パネルにおける動画視認性も向上する。

【0128】

フレーム期間毎に表示パネルの特に画面周縁で生じる液晶層の光透過率の応答遅延は、表示パネルに封入される液晶材料の印加電界に対する光透過率の応答特性に依存するため、図6のタイミング・チャートに示す表示装置の走査タイミングでは液晶材料の組成により残像が生じる可能性を孕む。これに対して、図8のタイミング・チャートに示す表示装置の走査タイミングは、このような可能性をより確実に抑える。従って、フレーム期間毎の残像対策の負担（バックライトの点灯タイミングに対する制約等）も軽減される。

【0129】

このような効果は、図6に示す走査タイミングに応じた表示装置の動作でも、ブランキング信号入力期間の開始時刻を早めることでも得られるが、図8に示す走査タイミングに応じた表示装置の動作では、画像表示期間を短縮する必要がなくなる。

【0130】

また、図8の「走査タイミングの制御方法2」に応じたノーマリ・ブラック・モードの表示装置の駆動方法は、明画像を表示したフレーム期間に続く次のフレーム期間で、中間調の画像を表示するとき次のような効果をもたらす。この中間調の画像は、明画像より暗く且つブランキング画像（例えば、黒画像）より明るく表示される画像である。ノーマリ・ブラック・モードの液晶表示パネルで明画像を表示したフレーム期間の次のフレーム期間に中間調の画像を表示する場合、このフレーム期間にて液晶層に印加される電界は明画像を表示したフレーム期間でのそれより弱めねばならない。しかし、液晶層の光透過率は、上述のとおり印加電界の減少に対して緩く応答し、その応答曲線の時間軸に対する微分係数は、フレーム期間に亘る印加電界の変化が小さいほど減少する。このため、明画像を表示するフレーム期間で液晶表示パネルにブランキング信号を入力せずに、次のフレーム期間で中間調の画像信号を液晶表示パネルに入力したとき、この中間調の画像を表示するフレーム期間内に表示パネルの液晶層の光透過率が所望の値まで減少しないこともある。

【0131】

これに対して、図6に示す走査タイミングでは、明画像を表示するフレーム期間にて液晶層に印加された電界をブランキング信号で一旦弱め（例えば、最小値まで下げ）、その後、中間調に応じた強さの電界を液晶層に印加する。液晶層に印加される電界は最小値から中間調に応じた値まで上昇するため、これに対する液晶層の光透過率の応答も加速される。

。一方、液晶層への印加電界が最小値から中間調に上昇する時刻（画像信号が画素行に入力される時刻）にて液晶層が示す光透過率は、この印加電界の上昇に対する液晶層の光透過率の応答に対して言わば初期条件を決める。従って、この時刻にて液晶層の光透過率がブランキング信号に応じたレベル（例えば、最小値）に到らないと、中間調の画像を表示するフレーム期間にて液晶層の光透過率は、所望の値より外れた値に落ち着く。ノーマリ・ブラック・モードの液晶表示パネルにおいて、このような液晶層の光透過率のずれは、ブランキング信号を表示パネルに入力せずに明画像表示と中間調の画像表示とを続けて行う上述の場合に生じるそれと比べれば無視しえるが、表示パネルの階調数が増加する昨今においては対策する必要性も否めない。

【0132】

図8に示す走査タイミングでノーマリ・ブラック・モードの液晶表示パネルを駆動する場合、上述のように表示パネル100（画素アレイA、B）の各画素に対応する液晶層（画像表示領域に亘る液晶層）の光透過率は、フレーム期間毎にブランキング信号に応じたレベルまで下がる。換言すれば、画像表示領域にある液晶分子は、画面全域を黒く表示する方位に配向される。この状態で液晶層に中間調に応じた電界を印加することにより、液晶表示パネルの光透過率をそれに応じた値に精度よく上げることができる。

【0133】

3. 走査タイミングの制御方法3

上述した走査タイミングの制御方法1、2は、ノーマリ・ブラック・モードで動作する表示パネルに適用された。これに対し、ここでは本実施例による表示パネルを動作させる走査タイミングの他の一例として、ノーマリ・ホワイト・モード（Normally White Mode）という液晶層に印加される電界が大きくなるほど、その液晶層の光透過率が減るという特性を有する液晶表示パネルに適用される走査タイミングの制御方法3を説明する。

【0134】

図10は、走査タイミングの制御方法3でノーマリ・ホワイト・モード（Normally White Mode）の表示パネルに画像表示動作を行わせるタイミング・チャートである。ここで用いられる表示装置は、図1乃至図3を参照して説明されたものと同様な構造並びに機能を有し、表示パネルがノーマリ・ホワイト・モードで画像表示を行う点で、上述の表示装置と相違する。

【0135】

図10のタイミング・チャートには、図6のそれと同様に、第 n フレーム期間にて明画像（例えば、画面全体を白く表示する画像）を、これに続く第 $(n+1)$ フレーム期間にて暗画像（例えば、画面全体を黒く表示する画像）を夫々表示する表示パネルの動作における、この表示パネル100内に設けられた画素アレイAの走査信号線AG(1)乃至AG($m/2$)に印加される走査信号波形1001と走査信号線AG(1)～AG($m/2$)の夫々で選択される画素の夫々に入力される画像信号の波形1003、及び表示パネル100内に設けられた画素アレイBの走査信号線BG(1)乃至BG($m/2$)に印加される走査信号波形1002と走査信号線BG(1)～BG($m/2$)で選択される画素の夫々に入力される画像信号の波形1004が示される。

【0136】

図10のタイミング・チャートと、図6及び図8に示されるタイミング・チャートとの第1の相違は、画像信号の波形1003、1004に示す如く、明画像に対応する（第 n フレーム期間の）電圧信号の基準電圧 V_{ref} に対する振幅より、暗画像に対応する（第 $(n+1)$ フレーム期間の）電圧信号の基準電圧 V_{ref} に対する振幅が大きいことである。このような電圧振幅は、液晶層の光透過率が画像信号の電圧値と基準電圧との差（液晶層への印加電界）が大きくなるほど光透過率が減るというノーマリ・ホワイト・モードの液晶表示パネルの特性を反映する。なお、画像信号の波形1003、1004に示すように、その基準電圧 V_{ref} に対する極性は、走査信号波形1001、1002に生じるゲート・パルス毎に反転し、その極性反転パターンは画像信号入力期間毎に逆転される。

【0137】

図10のタイミング・チャートと、図6及び図8に示されるそれらとの第2の相違は、図10のタイミング・チャートによる表示パネルの走査には、いずれのフレーム期間も表示パネル（画素アレイA、B）にブランキング画像（ブランキング信号）が入力される期間を含まないことである。これも上記ノーマリ・ホワイト・モードの液晶表示パネルの特性に拠る。ノーマリ・ホワイト・モードの液晶表示パネルでは、暗い画像ほど、これを表示するために液晶層への印加電界を強めねばならない。一方、液晶層の光透過率が、これに印加される電界の減少よりも増加に対して応答し易いことは、ノーマリ・ホワイト・モードの液晶表示パネルにおいても同様である。換言すれば、ノーマリ・ホワイト・モードの液晶表示パネルにて、液晶分子が初期配向又はこれに近い状態にあるとき、その光透過率は高く、電界の印加により液晶分子を別の方向に強制的に配向させることで、その光透過率は低下する。明画像を表示したフレーム期間に続く次のフレーム期間にて暗画像を表示する場合、液晶分子は暗画像に対応した電界に後押しされて所定の方位（液晶層の光透過率を下げる方位）へ速やかに配向する。従って、ノーマリ・ホワイト・モードの液晶表示装置においては、フレーム期間毎にブランキング信号を表示パネルに入力する必然性は小さくなる。

【0138】

図10のタイミング・チャートによる表示装置の駆動方法においては、上述のようにフレーム期間毎の表示パネルへのブランキング信号入力期間がないため、この表示パネルに光を照射するバックライトの点灯タイミングも前述した2つの表示装置の駆動方法におけるそれに対してシフトされる。

【0139】

図11は、図10のタイミング・チャートに示す走査タイミングの制御方法で駆動される液晶表示パネルの液晶層の光透過率応答1101と、この液晶表示パネルに光を照射するバックライトの点灯タイミング1102とを示す。図7と同様に、図11においても、図10に示した走査信号線AG(1)、走査信号線AG(m/2)並びにBG(m/2)、及び走査信号線BG(1)の走査信号波形1001、1002と、各々の走査信号のゲート・パルスに呼応して画像信号又はブランキング信号が印加される画素行に対応した液晶層の各部分の光透過率応答波形1101とが合わせて示される。また、走査信号線AG(m/2)に印加される走査信号及び走査信号線BG(m/2)に印加される走査信号と、これらの走査信号線の夫々に対応する液晶層の光透過率とは、図7と同様な理由により、一つの信号波形と一つの応答波形1101により示される。

【0140】

図11の第nフレーム期間において、表示パネルへの1回目の明画像（例えば、白画像）入力は、その冒頭の時間 $\Delta t_F/4$ （1フレーム期間の4分の1）にて完了される。ノーマリ・ホワイト・モードの液晶表示装置では、明画像の表示にて液晶層への印加電界を弱めるため、その光透過率の応答時間を考えると、バックライトの点灯タイミングは表示パネルへの1回目の明画像入力（画像信号入力）が完了する時刻 $t(nA)$ より遅らせるほうが望ましい。したがって、バックライトの点灯タイミング1102では、フレーム期間毎にその中間点附近（例えば、2回目の明画像入力開始される時刻 $t(nB)$ ）にてバックライトの点灯を開始する。

【0141】

一方、第(n+1)フレーム期間での暗画像（例えば、黒画像）の表示においては、液晶層の光透過率が所定のレベル（例えば、これが取り得る最小値）に速く低下する。換言すれば、1回目の暗画像入力（画像信号入力）にて表示パネル（液晶層）の光透過率は十分に減少する。これにより、フレーム期間の中間点附近の時刻でバックライトの点灯が開始されるときには、暗画像の信号に対する表示パネル（その液晶層）の光透過率の応答は完了する。従って、表示パネルに封入される液晶材料が印加電界の上昇に対して非常に緩慢な光透過率の応答特性を示さない限り、第(n+1)フレーム期間にて第nフレーム期間で表示された画像の残像は視認さない。その結果、ノーマリ・ホワイト・モードの液晶表

示パネルにおいては、この液晶表示パネルへのブランキング信号入力をフレーム期間毎に行わずとも、その動画表示特性は向上される。

【0142】

また、ノーマリ・ホワイト・モードの液晶表示パネルにおいて、フレーム期間毎に液晶表示パネルへのブランキング信号入力を行うと、その信号入力期間内にてバックライトを点灯させてもブランキング信号が入力された画素行から表示輝度が速やかに落ちる。この現象は、画面全体を白く表示したときに顕著に生じる。このため、表示パネルの画面中央に位置する画素行からその画面の上端及び下端に位置する画素行に向けて順次画像信号を入力する本実施例の画像表示動作では、表示パネルの画面中央にて画像をインパルス型の表示装置並みの品質で表示しながら、その周縁部で表示される画像の輝度を高め且つその表示輝度をバックライトの消灯により最小レベルへ瞬時に落とせる。その結果、表示パネルの面内に亘る動画像の品質とコントラスト比とが向上される。

【0143】

〔4. 実施例1のまとめ〕

以上に述べた本実施例の表示装置では、その表示パネル100内に2つの画素アレイ101、102を夫々の一端を互いに隣接させて設け又は形成される。また、この表示装置を、上記画素アレイの夫々に画像信号をその一端から他端（表示パネルの周縁側）に向けて順次入力して駆動することにより、表示パネル100の画面中央を中心に表示画像のコントラストを上げ、且つフレーム期間に亘る残像を低減する。特に表示パネル100を2つの画素アレイ101、102に分けることにより、表示パネル100（夫々の画素アレイ101、102）への画像データ転送速度を上げ、夫々の画素アレイ101、102に画像信号を複数回入力することで、夫々の画素アレイ101、102に設けられた画素の各々の輝度を所望の値にすることにより、フレーム期間毎の表示画像のコントラストを上げ、このフレーム期間の直前に表示された画像の影響を排除する。表示パネルにより動画像を表示するとき、その画質は画面中央を中心とした領域におけるコントラスト比の確保と、残像の除去とにより高められる。従って、表示パネル内の2つの画素アレイに画像信号を夫々の一端から入力して、表示パネルの輝度を画面中央の領域（2つの画素アレイの一端が隣接する領域）からその周縁に向けて所定の値に立ち上げることにより、高品質の動画像が表示される。

【0144】

画素アレイ101、102の各々には、その一端から他端に延びる複数の映像信号線と、これらの映像信号線と交差する方向に延びる複数の走査信号線とが夫々並設される。画素アレイ101、102の各々には、複数の画素が上記走査信号線毎に画素行をなすように配置される。このようにして画素アレイ101、102の各々に設けられた複数の画素行は、夫々に対応する走査信号線に印加された走査信号で選択され、選択された画素行に含まれる画素の各々には複数の映像信号線の一つから画像信号又はブランキング信号が入力される。画素行に画像信号等を入力する工程は陰極線管を用いた表示装置における水平走査期間に相当し、画素行を順次選択する工程は陰極線管を用いた表示装置における垂直走査期間に相当する。従って、上述した本発明による表示パネルには、2つの画素アレイがその映像信号線の延伸方向、画素行の並設方向、又は垂直方向（垂直走査方向）に並設されるとも記される。さらに、本発明による表示パネルは、走査信号に呼応して、画素アレイ101に設けられた複数の画素行の n 本（ n は自然数）と画素アレイ102に設けられた複数の画素行の n 本とを、2つの画素アレイが隣接し合う領域から順次選択し、これらに画像信号又はブランキング信号を入力して駆動される。画素アレイ101での画素行の選択と、画素アレイ102での画素行の選択とは、これらの画素行が並設される方向沿いに互いに逆方向に進行し、画素行の望ましき選択工程（画像信号工程）は表示パネルを横切る線に対して線対称に進行する。

【0145】

本実施例に拠るノーマリ・ブラック・モードの表示装置は、フレーム期間毎に画像信号の入力後にブランキング信号を入力することで上述の残像現象を抑止する。これにより、ホ

ールド型の表示装置においてもインパルス型の表示装置なみの品質で動画像を表示することを可能にする。

【0146】

本実施例によるノーマリ・ブラック・モードの表示パネルに光を照射する光源装置を備えた表示装置においては、この光源装置から放射される光の強さを表示パネルにおける上記画像信号及び上記ブランキング信号の入力タイミングに合わせて変調する。例えば、フレーム期間毎に表示パネルへの1回目の画像信号の入力期間における任意時刻からブランキング信号の入力期間における任意時刻に至る時間に光強度を上げ、それ以外の2つのフレーム期間に亘る時間における光の強度を下げる。また、光強度を上げる期間を表示パネルへの1回目の画像信号の入力期間が終了した時刻又はその後（例えば、表示パネルへの2回目の画像信号入力期間の開始前）の任意時刻に開始させても、ブランキング信号の入力期間の開始時刻またはその前（例えば、表示パネルへの最後の画像信号入力期間の終了後）の任意時刻に終了させてもよい。

【0147】

本実施例によるノーマリ・ホワイト・モードの表示パネルに光を照射する光源装置を備えた表示装置では、この光源装置から放射される光の強さを表示パネルにおける画像信号の入力タイミングに合わせ、またはフレーム期間の開始時刻やこれを基準に定められる時刻で変調する。

画像信号の入力タイミングに合わせた光強度の変調の一例では、フレーム期間毎に表示パネルへの1回目の画像信号の入力期間が終了した後に光源装置を点灯させ、その終了時刻（換言すれば、フレーム期間の開始時刻）前に光源装置を消灯させる。フレーム期間の開始時刻やこれを基準とする時刻による光強度の変調の一例では、フレーム期間毎にその前半にて光源装置を消灯状態に、その後半にて光源装置を点灯状態にする。例えば、光源装置は、フレーム期間の開始時刻からその1/2の時間が経過した時刻に点灯させる。

【0148】

本実施例では、光源装置の点灯デューティ（Lighting Duty, 1フレーム期間における光源装置の点灯期間（オン期間）の割合）を1フレーム期間の概ね2分の1としたが、さらにオン期間を短くすること（点灯デューティを小さくすること）で動画視認性は向上する。点灯デューティの短縮により映像の表示輝度低下が生じるが、バックライトに備えられるランプの本数を増やすことで、表示輝度を補い且つ向上することができる。点灯デューティの短縮によりランプの駆動電流に対する発光効率が改善され、ランプの寿命が延ばせる。また、本実施例では光源装置の点灯タイミングを一つの波形で最適化できるため、表示パネルの画面内にてランプの点灯タイミングを局所的に調整する必要がない。従って、導光板の主面に表示パネルを、その側面にランプを配置したサイド・エッジ型の光源装置の利用も可能になり、表示装置を薄くできる。

【0149】

<実施例2>

表示パネルを一つの点灯パターンで動作する光源装置からの光で照射する場合、表示パネルの画像表示領域に照射される光の強度は、その全域にて同様に変動する。このため、画像信号やブランキング信号が、これらの表示パネルへの入力期間の最初に入力される画素行で制御される液晶層と、その最後に入力される画素行で制御される液晶層との光透過率の差に応じて、表示パネルの画面の輝度もばらつく。上述の実施例による表示パネルへの画像信号又はブランキング信号の入力工程では、画面の中央における液晶層の光透過率の変化に対して、その上端及び下端におけるそれは遅延するため、表示パネルに封入された液晶材料の応答特性に依存して、バックライト点灯時に透過率に差が生じる可能性も否めない。

【0150】

60Hzの周期で画像情報を表示装置に入力する場合、表示パネルにおける1フレーム期間の画像表示には16.7ms（ミリ秒）の時間が割り当てられる。これに対して、上記実施例1ではその1/2～1/4の期間で画像信号又はブランキング信号の表示パネルへ

の入力工程を完了させるため、画面内の表示輝度差が実際に動画像の品質に影響を及ぼさない。しかし、光源装置の構造如何で表示パネルの周縁に照射される光が、その中央付近のそれに比べて若干弱くなることもある。また、背景の明るい画像の表示により画面内の表示輝度差が強調されることで、画面内に輝度傾斜 (Brightness Inclination) が生じる可能性も否めない。

【0151】

本実施例では、本発明者らが予測した以上の可能性に鑑み、画面全域のコントラスト比を一樣にし、また画面周縁で表示される動画像の品質をも向上するに好適な表示装置及びその駆動方法が説明される。

【0152】

以下に述べる表示パネルの駆動方法では、インタレース方式 (Interlace Mode) による画像情報の転送技術を表示装置内の画像データ転送に応用する。インタレース方式は、テレビジョン映像等の画像情報を表示装置へ伝送する技術として普及しており、図2を参照して説明した表示パネル100を備えた表示装置の一例においては、1番目から m 番目に到る走査線アドレスで夫々特定される m 本の画素行に対応した画像情報が、奇数番目の走査線アドレスの画素行に対応した群と偶数番目の走査線アドレスの画素行に対応した群とに分かれて1フレーム期間おきに交互に表示制御部に受信される。

【0153】

これに対して、プログレッシブ方式 (Progressive Mode) という、もう一つの映像伝送技術では、上記図2に示される表示パネル100を備えた表示装置の一例において、1番目から m 番目に到る走査線アドレスで夫々特定される m 本の画素に対応した画像情報の全てが、フレーム期間毎に表示制御部に受信される。

【0154】

以下に述べる本実施例では、表示装置の表示制御部 (タイミング制御回路110) にプログレッシブ方式で格納した画像情報又は映像情報を、インタレース方式で読み出して表示素子部 (映像信号駆動回路105~108) に転送する。このため、本実施例で説明する表示装置は、実施例1にて用いたそれと概ね同じ構造及び機能を有するが、図3に示すメモリ制御回路301の機能が実施例1のそれと相違する。

【0155】

本実施例によるインタレース方式での画像データの表示制御部から表示素子部への転送は、表示制御部に格納された m 本の画素行に夫々対応する画像データを、始めに ($m/2$) 本の画素行に対応する一群を読み出して転送し、次に残り ($m/2$) 本の画素行に対応する他の一群を読み出して転送する。以下、始めの ($m/2$) 本の画素行に対する画像データの読み出しと転送に宛がう期間を「奇数フィールド期間 (第1のフィールド期間)」、残りの ($m/2$) 本の画素行に対する画像データの読み出しと転送に宛がう期間を「偶数フィールド期間 (第2のフィールド期間)」と呼ぶ。

【0156】

1. 走査タイミングの制御方法4

図12は、本実施例による表示パネルを動作させる走査タイミングの一例を示すタイミング・チャートである。表示パネルとして、ノーマリ・ブラック・モードで動作する液晶表示パネルを用いる。

【0157】

図12のタイミング・チャートには、図6のそれと同様に、第 n フレーム期間にて明画像 (例えば、画面全体を白く表示する画像) を、これに続く第 ($n+1$) フレーム期間にて暗画像 (例えば、画面全体を黒く表示する画像) を夫々表示する表示パネルの動作における、この表示パネル100内に設けられた画素アレイAの走査信号線AG (1) 乃至AG ($m/2$) に印加される走査信号波形1201と走査信号線AG (1) ~ AG ($m/2$) の夫々で選択される画素の夫々に入力される画像信号又はブランキング信号の波形1203、及び表示パネル100内に設けられた画素アレイBの走査信号線BG (1) 乃至BG ($m/2$) に印加される走査信号波形1202と走査信号線BG (1) ~ BG ($m/2$)

で選択される画素の夫々に入力される画像信号又はブランキング信号の波形1204が示される。なお、画像信号又はブランキング信号の波形1203, 1204に付されたアドレスAD(i), BD(i)の定義は、実施例1の図6を参照した説明に記したとおりである。

【0158】

図12のタイミング・チャートにおいて、画素アレイA, Bへの画像信号及びブランキング信号の入力は、図8を参照して説明した実施例1の「走査タイミングの制御方法2」で画素アレイA, Bへのブランキング信号入力に用いた2ライン同時書込み（又は、2ライン飛び越し走査）と呼ばれる方法による。画像信号AD(i), BD(i)の基準電圧V_{ref}に対する極性は、奇数フィールド期間（第nフレーム期間の時刻t(1)～t(nA)）及び偶数フィールド期間（第nフレーム期間の時刻t(nB)～t(nC)）を通して正電位又は負電位の一方に固定され、奇数フィールド期間と偶数フィールド期間との間で逆転する。また、ブランキング信号の基準電圧V_{ref}に対する極性は、その画素アレイへの入力期間を通して、その直前に画素アレイに入力された画像信号（同じフレーム期間における偶数フィールド期間の画像信号）のそれとは逆の電位（第nフレーム期間の場合、正電位）に固定される。フレーム期間毎の奇数フィールドの画像信号、偶数フィールドの画像信号、及びブランキング信号の夫々の極性は、1フレーム期間おきに夫々反転される。

【0159】

実際の画像表示動作では、隣接する2本の画素行に入力される例は少ない。このため、特定の画素行毎に与えられた画像データ（画像信号群）をこの画素行とこれに隣接する画素行とに同時に入力すると、表示パネルの画面に表示される画像の垂直解像度が劣化する。一方、表示パネルで表示しようとする画像には、隣接する画素間の階調差が小さい領域が多い。この観点から、本実施例での2ライン同時書込み方法による表示パネルへの画像信号入力では、画素行の各々にこれに入力すべき画像信号とこれに隣接する別の画素行の画像信号とを書込み、表示画像の品質を確保する。

【0160】

このような表示パネルへの画像信号入力は、例えば、図12を参照して次のように説明される。

【0161】

各フレーム期間の奇数フィールド期間（第nフレーム期間の時刻t(1)～t(nA)）では、その走査開始信号（画像信号入力期間の開始信号）に呼応して、画素アレイA（上側画素アレイ）の画素アレイB側にある2本の走査信号線AG(m/2), AG(m/2-1)と、画素アレイB（下側画素アレイ）の画素アレイA側にある2本の走査信号線BG(m/2), BG(m/2-1)とにゲート・パルスが印加される。これにより、走査信号線AG(m/2), AG(m/2-1)に応じた2本の画素行には画素アレイAに設けた映像信号駆動回路から同じ画像信号が、走査信号線BG(m/2), BG(m/2-1)に応じた2本の画素行には画素アレイBに設けた映像信号駆動回路から同じ画像信号が、夫々入力される。続いて、画素アレイAの2本の走査信号線AG(m/2-2), AG(m/2-3)と、画素アレイBの2本の走査信号線BG(m/2-2)とBG(m/2-3)とにゲート・パルスが印加され、走査信号線AG(m/2-2), AG(m/2-3)に応じた2本の画素行には画素アレイAに設けた映像信号駆動回路から同じ画像信号が、走査信号線BG(m/2-2)とBG(m/2-3)に応じた2本の画素行には画素アレイBに設けた映像信号駆動回路から同じ画像信号が、夫々入力される。以下、画素アレイA, Bの夫々に設けられた走査信号線の隣接し合う一対に順次ゲート・パルスを印加し、夫々の走査信号線の対に対応した2本の画素行に同時に画像信号を入力する動作が繰り返されて、奇数フィールド期間の画像信号入力期間が完了する。

【0162】

一方、各フレーム期間の偶数フィールド期間（第nフレーム期間の時刻t(nB)～t(nC)）では、その走査開始信号に呼応して、画素アレイAにある1本の走査信号線AG

($m/2$) と、画素アレイ B にある 1 本の走査信号線 BG ($m/2$) とにゲート・パルスが印加される。続いて、画素アレイ A の 2 本の走査信号線 AG ($m/2-1$)、AG ($m/2-2$) と、画素アレイ B の 2 本の走査信号線 BG ($m/2-1$) と BG ($m/2-1$) とにゲート・パルスが印加され、走査信号線 AG ($m/2-1$)、AG ($m/2-2$) に応じた 2 本の画素行には画素アレイ A に設けた映像信号駆動回路から同じ画像信号が、走査信号線 BG ($m/2-1$) と BG ($m/2-1$) に応じた 2 本の画素行には画素アレイ B に設けた映像信号駆動回路から同じ画像信号が、夫々入力される。以下、画素アレイ A、B の夫々に設けられた走査信号線の隣接し合う一対に順次ゲート・パルスを印加し、夫々の走査信号線の対に対応した 2 本の画素行に同時に画像信号を入力する動作が繰り返される。

【0163】

しかし、偶数フィールド期間の冒頭では、画素アレイ A、B の各々にて 1 本の画素行のみに画像信号を入力したため、奇数フィールド期間における表示パネルへの画像信号入力方法で $m/4$ 回のゲート・パルスにより偶数フィールド期間での表示パネルへの画像表示信号入力を行うと、画素アレイ A にある走査信号線 AG (1) に対応した画素行と画素アレイ B にある走査信号線 BG (1) に対応した画素行への画像信号入力ができなくなる。これに対して、(a) 偶数フィールド期間の $m/4$ 回目のゲート・パルスの画素アレイ A にある 3 本の走査信号線 AG (1)、AG (2)、AG (3) と画素アレイ B にある 3 本の走査信号線 BG (1)、BG (2)、BG (3) への印加、(b) 偶数フィールド期間にて追加した ($m/4+1$) 回目のゲート・パルスの画素アレイ A の走査信号線 AG (1) と画素アレイ B の走査信号線 BG (1) への印加、及び (c) 走査信号線 AG (1) に対応する画素行 (表示パネルの画面最上端) と走査信号線 BG (1) に対応する画素行 (表示パネルの画面最下端) への画素信号入力の省略、の 3 つの選択肢があり、いずれによっても偶数フィールド期間の画像信号入力期間が完了される。

【0164】

本実施例では、画素アレイ A、B の夫々にて、偶数フィールド期間で選択される一対の画素行の組合せを、奇数フィールド期間で選択された一対の画素行の組合せと相違させることにより、表示パネルの画面に表示される画像はその垂直方向に補正される。上述のように、本実施例では奇数フィールド期間及び偶数フィールド期間の一方で画素行に本来の画像信号が入力され、その他方ではこれと対になる他の画素行の画像信号が入力される。このため、奇数フィールド期間及び偶数フィールド期間で同じ画素行の対が形成されると、この一対の画素行間が画像信号を互いに分け合う。その結果、複数の画素行の対が表示すべき画像とは異なる新たな画像を形成する。従って、偶数フィールド期間の冒頭では、画素アレイ A の画素アレイ B に隣接する一端に最も近い走査信号線 AG ($m/2$) と、画素アレイ B の画素アレイ A に隣接する一端に最も近い走査信号線 BG ($m/2$) とにゲート・パルスを印加し、偶数フィールド期間で対を成す画素行の組合せを奇数フィールド期間でのそれに対して 1 画素行だけ画素アレイ A、B の夫々の他端側 (表示パネルの周縁側) にずらす。図 12 のタイミング・チャートでは、偶数フィールド期間の冒頭で画素アレイ A の画素行の 1 本と画素アレイ B の画素行の 1 本とに画像信号を入力したが、この動作を奇数フィールド期間の冒頭で行い、偶数フィールド期間で上述した奇数フィールド期間の動作を行ってもよい。

【0165】

以上のように、表示パネル (画素アレイ A、B) への画像信号入力を、奇数フィールド期間とこれに続く偶数フィールド期間とで対を成す画素行の組合せを変えた 2 ライン同時書込み方法で行うことで、表示画像の品質を高める。

【0166】

このような本実施例に特有な 2 ライン同時書込み方法を、以下、高速インタレース走査 (High-speed Interlace Scan) と呼ぶ。この手法が、高速である所以は、奇数フィールド期間にて表示パネルへの画像信号入力を 1 フレーム期間の 8 分の 1 ($1/f/8$) という短い時間で完了させることにより、フレーム期間の冒頭にて表

示パネル全域の液晶層の所定方向への配向が加速されることにある。この手法では、偶数フィールド期間での画像信号入力や、ブランキング信号入力期間も、1フレーム期間の8分の1という時間内で完了される。

【0167】

この高速インタレース走査の効果は、図12のタイミング・チャートに示す走査タイミングの制御方法で駆動される液晶表示パネルの液晶層の光透過率応答1301と、この液晶表示パネルに光を照射するバックライトの点灯タイミング702（実施例1の図7と同じ）とを示す図13により説明される。図7と同様に、図13においても、図12に示した走査信号線AG(1)、走査信号線AG(m/2)並びにBG(m/2)、及び走査信号線BG(1)の走査信号波形1201、1202と、各々の走査信号のゲート・パルスに呼応して画像信号又はブランキング信号が印加される画素行に対応した液晶層の各部分の光透過率応答波形1301とが合わせて示される。また、走査信号線AG(m/2)に印加される走査信号及び走査信号線BG(m/2)に印加される走査信号と、これらの走査信号線の夫々に対応する液晶層の光透過率とは、図7と同様な理由により、一つの信号波形と一つの応答波形1301により示される。

【0168】

明画像を表示する第nフレーム期間では、奇数フィールド期間の画像信号入力が1フレーム期間の1/8（時刻t(n)～t(nA)）に短縮されることにより、図13に示すように、画面上端及び下端にて液晶層の光透過率が応答を開始する時刻の画面中央におけるそれに対する遅延が縮まる。このため、点灯タイミング702に応じてバックライト点灯が開始される時刻にて、画面上端及び下端における液晶層の光透過率は画面中央のそれに近いレベルに到達する。このように表示パネルの画面内における液晶層の光透過率が均されることにより、これを透過するバックライトからの光の輝度の均一性が上がる。

【0169】

暗画像を表示する第(n+1)フレーム期間では、第nフレームにてブランキング信号が1フレーム期間の1/8（時刻t(nD)～t(nE)）という短い時間で表示パネルに入力されることにより、画面上端及び下端の液晶層の光透過率でさえ、その開始時刻t(n+1)にて明画像表示時の半分以下のレベルに到達する。従って、第(n+1)フレーム期間にて、表示パネルの画面内における液晶層の光透過率は、バックライトを点灯させる時刻までに概ね最小レベルに到達し、第nフレームの残像は画面から実質上消える。

【0170】

2. 高速インタレース走査に適した表示パネルへの画像データ転送方法

図12のタイミング・チャートを参照して説明した高速インタレース走査による表示パネルへの画像信号入力方法に関し、これに好適な表示制御部から表示素子部（表示パネル）への画像データ転送方法の一例を以下に説明する。

【0171】

図14は、図3に示すフレーム・メモリ（メモリA302、メモリB303）に格納された画像データを、画像データ読み出しクロック（実施例1の〔2. 表示パネルへの画像データ転送方法〕の説明参照）又はこれに類似するタイミング信号に呼応してメモリ制御回路301で読み出し、画素アレイAに設けられた映像信号駆動回路A1、A2及び画素アレイBに設けられた映像信号駆動回路B1、B2に転送する工程を図5に倣い示した説明図である。映像信号駆動回路A1、A2は、これに転送された画像データに基づき画像信号を生成し、これを図12の走査信号波形1201のゲート・パルスに呼応して画素アレイA内の画素に入力する。また、映像信号駆動回路B1、B2は、これに転送された画像データに基づき画像信号を生成し、これを図12の走査信号波形1202のゲート・パルスに呼応して画素アレイB内の画素に入力する。

【0172】

図14は、タイミング制御回路110に設けられた2つのフレーム・メモリのいずれかに、図4(a)に示した画像情報（映像情報）が図4(b)のように、映像信号駆動回路A1、A2、B1、B2の夫々に応じた画像データ群に分けられて格納される様子を示す。

図14の左側には、図5の左側に示した表示パネル全体から見た走査線アドレスに代えて、映像信号駆動回路A1、A2用の画像データ群には画素アレイAの走査信号線のアドレスAG(1)～AG(m/2)が、映像信号駆動回路B1、B2用の画像データ群には画素アレイBの走査信号線のアドレスBG(m/2)～BG(1)が、メモリ内アドレス(Address in Memory)夫々付される。このメモリ内アドレスは、図5の右端に示すアレイA内アドレス又はアレイB内アドレスに対応し、また夫々のアレイA内アドレス又はアレイB内アドレスを媒介して図5の左側に示す走査線アドレス1th～mthに対応付けられる。なお、図14の右端に示すアレイA内アドレス(to Address in Array A)及びアレイB内アドレス(to Address in Array B)は画素アレイA及び画素アレイBに設けられた画素行のアドレスを夫々に対応する走査信号線のアドレスで示す。

【0173】

図14(a)及び図14(b)のいずれも、プログレッシブ方式により表示装置に入力された画像情報(映像情報)をフレーム・メモリに格納した状態を想定して描かれている。図14(a)と図14(b)との相違点は、その右側に示す画像データの転送順(Transfer Sequence、換言すれば画像データの読み出し順)、及び夫々の画像データに応じた映像信号が入力される画素アレイAの画素行の組合せ、並びに画素アレイBの画素行の組合せに見出される。この相違は、図14(a)が奇数フィールド期間におけるフレーム・メモリからの画像データの読み出しと転送の順序を示し、図14(b)が偶数フィールド期間におけるフレーム・メモリからの画像データの読み出しと転送の順序を示すことに拠る。本実施例による高速インタレース走査は、上述のとおり奇数フィールド期間と偶数フィールド期間とで表示パネルへの1フレーム期間分の映像信号入力が完結(Complete)する。このため、図14(b)の右側に示される画像データの転送順は、図14(a)におけるそれに続く通し番号が付される。

【0174】

本実施例の表示パネル100(画素アレイA、B)に図14の画像データを高速インタレース走査により入力するとき、その奇数フィールド期間ではフレーム・メモリから1番目乃至(m/4)番目に読み出される画像データが表示パネルに設けた映像信号駆動回路に順次転送され、これに続く偶数フィールド期間ではフレーム・メモリから(m/4+1)番目乃至(m/2)番目に読み出される画像データが表示パネルの映像信号駆動回路に順次転送される。本実施例でも実施例1と同様に、画素アレイAに転送される画像データは、映像信号駆動回路A1、A2に応じた画像データA1、A2を図14(a)及び図14(b)に示した転送順に従ってフレーム・メモリから並行して読み出され、画素アレイBに転送される画像データは、映像信号駆動回路B1、B2に応じた画像データB1、B2を図14(a)及び図14(b)に示した転送順に従ってフレーム・メモリから並行して読み出される。画像データA1、A2と画像データB1、B2とは、例えば「転送順」毎にタイミング制御回路110で生成されるタイミング信号(例えば、上記画像データ読み出しクロック)に呼応して、タイミング制御回路110(フレーム・メモリ302、303)から前者は映像信号駆動回路A1、A2に、後者は映像信号駆動回路B1、B2に夫々転送される。

【0175】

本実施例におけるフレーム・メモリからの画素データの読み出し工程は、メモリ内アドレスで特定される夫々の画素行に対応した画素データを、画素行の1本おきに読み出す点で図5を用いて説明した実施例1における画素データの読み出し工程と相違する。画素アレイにおける画素行は「ライン」とも呼ばれ、また画素行に対応してフレーム・メモリに格納される画像データは「ライン・データ」とも呼ばれる。これらの呼称に即し、本実施例での画素データの読み出し工程は、以降、「1ライン飛び越し読み出し(1-line Skip-Readout)」とも呼ぶ。1ライン飛び越し読み出し方式は、表示制御部から表示素子部への画像データ転送にインタレース方式のデータ伝送技術を応用した本実施例に即して考案され、この画像データ転送を言わばプログレッシブ方式で行う実施例1

にて1ラインずつライン・データを読み出す「順次読み出し (Successive-Readout)」とはその用途を異にする。図14(a)及び図14(b)にて、その転送順が「Skip」と記された画素データ(以下、ライン・データ)は、奇数フィールド期間又は偶数フィールド期間にて読み出されない。

【0176】

以下、図14(a)及び図14(b)を参照して、1ライン飛び越し読み出し方式によるフレーム・メモリからのライン・データの読み出しと、これに呼応したライン・データの映像信号駆動回路A1、A2、B1、B2への転送とを説明する。以下の説明にて、映像信号駆動回路A1、A2に転送されたライン・データは図12に示す画像信号1203に変換されて画素アレイAに、映像信号駆動回路B1、B2に転送されたライン・データは図12に示す画像信号1204に変換されて画素アレイBに、夫々入力される。また、これらの画像信号1203、1204は、図12に示す走査信号波形1201、1202のゲート・パルスに呼応して、画素アレイA、Bの夫々に設けられた画素行に入力される。

【0177】

図14(a)の転送順は、任意のフレーム期間に含まれる奇数フィールド期間でのライン・データ(画像データ)の読み出し順序を示す。画像データA1、A2は、表示パネルの画面中央付近に表示すべきメモリ内アドレスAG($m/2-1$)のライン・データから画面上端に向けて、画像データB1、B2は、画面中央付近に表示すべきメモリ内アドレスBG($m/2-1$)のライン・データから画面下端に向けて、それぞれ1ラインおきに読み出される。メモリ内アドレスの一つを特定する数値($m/2$)が偶数の場合、奇数フィールド期間では画素アレイA、Bの夫々に設けられた走査信号線の奇数アドレス(例えば、AG($m/2-1$)、AG($m/2-3$)、…AG(3)、AG(1))を有する一群に対応した画素行に入力すべきライン・データが読み出される。

【0178】

奇数フィールド期間では、画像データA1、A2の偶数のメモリ内アドレス(例えば、AG($m/2$)、AG($m/2-2$)、…AG(2))が付された一群及び画像データB1、B2の偶数のメモリ内アドレス(例えば、BG($m/2$)、BG($m/2-2$)、…BG(2))が付された一群のいずれも、フレーム・メモリから読み出されない。

【0179】

タイミング信号(例えば、画像データ読み出しクロック)に呼応して、画素アレイAに送られる画像データ及び画素アレイBに送られる画像データの奇数番のメモリ内アドレスが互に対応する一対が読み出される。画素アレイAに設けた映像信号駆動回路A1、A2に画像データA1、A2を、画素アレイBに設けた映像信号駆動回路B1、B2に画像データB1、B2を個別に送る場合、画素アレイA用の画像データを格納するフレーム・メモリの領域から奇数番のメモリ内アドレスの一つ(例えば、AG($m/2-1$))に応じた画像データA1、A2の一組と、画素アレイB用の画像データを格納するフレーム・メモリの他の領域から前記メモリ内アドレスの一つに対応する奇数番のメモリ内アドレス(例えば、AG($m/2-1$)に対応するBG($m/2-1$))に応じた画像データB1、B2の一組とが、対をなして読み出される。

【0180】

奇数番のメモリ内アドレスに応じて読み出された画素アレイA用の画像データと画素アレイB用の画像データとの一対は映像信号駆動回路にて画像信号に変換され、画素アレイA及び画素アレイBにて前記メモリ内アドレスに対応するアレイ内アドレスが付された画素行(ライン)とこれに隣接する他の画素行に入力される。本実施例では、奇数番のメモリ内アドレスに対応する画素行とともに画像データが入力される他の画素行は、図14(a)に示す如く画面中央側に位置する。例えば、フレーム・メモリのメモリ内アドレスAG($m/2-1$)に格納される画素データに基づく画像信号は、これに対応する画素行(アレイ内アドレスAG($m/2-1$))と、その画面中央側(画素アレイB側)に隣接する画素行(アレイ内アドレスAG($m/2$))とに入力される。また、フレーム・メモリのメモリ内アドレスBG(1)に格納される画素データに基づく画像信号は、これに対応する画

素行（アレイ内アドレスBG（1））と、その画面中央側（画素アレイA側）に隣接する画素行（アレイ内アドレスBG（2））とに入力される。

【0181】

以上に述べた、奇数フィールド期間における表示パネル（画素アレイA、B）へのライン・データ（画像データ）転送とこれに付帯する画素アレイA、Bへの画像信号入力、図12のタイミング・チャートに示した高速インタレース走査による奇数フィールド期間の表示パネルへの画像信号入力に対応する。

【0182】

図14（b）の転送順は、任意のフレーム期間に含まれる偶数フィールド期間でのライン・データ（画像データ）の読み出し順序を示す。画像データA1、A2は、表示パネルの画面中央付近に表示すべきメモリ内アドレスAG（ $m/2$ ）のライン・データから画面上端へ、画像データB1、B2は、画面中央付近に表示すべきメモリ内アドレスBG（ $m/2$ ）のライン・データから画面下端へ、それぞれ1ラインおきに読み出される。数値（ $m/2$ ）を偶数とすると、偶数フィールド期間では、画素アレイA、Bの夫々に設けられた走査信号線の偶数アドレス（例えば、AG（ $m/2$ ）、AG（ $m/2-2$ ）、AG（2））を有する一群に対応した画素行に入力すべきライン・データが読み出され、奇数フィールド期間に読み出されたライン・データは読み出されない。走査信号線の偶数アドレス（例えば、BG（ $m/2-2$ ））に対応した画素行に入力すべきライン・データは、フレーム・メモリのこれと同じ偶数番号のメモリ内アドレス（例えば、BG（ $m/2-2$ ））が付された領域に格納される。

【0183】

偶数フィールド期間でも、奇数フィールド期間と同様に、タイミング信号（例えば、画像データ読み出しクロック）に呼応して、画素アレイAに送られる画像データ及び画素アレイBに送られる画像データの偶数番のメモリ内アドレスが互いに対応する一対が読み出される。偶数フィールド期間でも、画素アレイA、Bの各々に2つの映像信号駆動回路を設け、これら4つの映像信号駆動回路に個別に画像データを転送する場合、奇数フィールド期間と同様に、画素アレイA用の画像データの一組と画素アレイB用の画像データの一組とが対をなして読み出される。

【0184】

偶数番のメモリ内アドレスに応じて読み出された画素アレイA用の画像データと画素アレイB用の画像データとの一対は映像信号駆動回路にて画像信号に変換され、画素アレイA及び画素アレイBにて前記メモリ内アドレスに対応するアレイ内アドレスが付された画素行（ライン）とこれに隣接する他の画素行に入力される。しかし、偶数フィールド期間では、表示画像の品質を確保する上で、画像信号が同時に入力される一対の画素行の組合せを奇数フィールド期間のそれと異ならせる。このため、図12のタイミング・チャートに示した高速インタレース走査による偶数フィールド期間での表示パネルへの画像信号入力に対応させて、偶数フィールド期間の冒頭に読み出されるフレーム・メモリの画像データは、2つの画素アレイの各々にて、これが格納されたメモリ内アドレスに対応する画素行のみに画像信号として入力される。

【0185】

例えば、フレーム・メモリのメモリ内アドレスAG（ $m/2$ ）に格納された画素データに拠る画像信号は画素アレイAのアレイ内アドレスAG（ $m/2$ ）の画素行のみに入力され、フレーム・メモリのメモリ内アドレスBG（ $m/2$ ）に格納された画素データに拠る画像信号は画素アレイBのアレイ内アドレスBG（ $m/2$ ）の画素行のみに入力される。この例から明らかなように、画素アレイAの画素アレイBに隣接する一端に設けた画素行、及び画素アレイBの画素アレイAに隣接する一端に設けた画素行は、一対のフィールド期間のいずれか（ここでは偶数フィールド）でこれに隣接する他の画素行と対にならない。従って、画素アレイA、Bの夫々の一端（換言すれば、2つの画素アレイの境界）に位置する画素行に対応した画像信号は、この画素行が隣接する他の画素行と対をなさないフィールド期間に、この画素行へ入力する。

【0186】

偶数フィールド期間では、その冒頭で奇数フィールド期間とは異なる表示パネルへの画像信号入力を行うが、それ以降は奇数フィールド期間と概ね同様な表示パネルへの画像信号入力が繰り返される。偶数番のメモリ内アドレスに対応する画素行とともに画像データが入力される他の画素行は、図14(b)に示す如く画面中央側に位置する。例えば、フレーム・メモリのメモリ内アドレスAG ($m/2-2$) に格納される画素データに基づく画像信号は、これに対応する画素行（アレイ内アドレスAG ($m/2-2$)）と、その画面中央側（画素アレイB側）に隣接する画素行（アレイ内アドレスAG ($m/2-1$)）とに入力される。

【0187】

偶数フィールド期間では、その冒頭で画素アレイの夫々に属する画素行の1本のみに画像信号を入力するため、以降、画素アレイの夫々にて2本の画素行毎に画像信号を入力すると最後の1本（画素アレイAの画素行AG (1) 及び画素アレイBの画素行BG (1)）が取りこぼされる。これに対し、図14(b)に示す表示パネルへの画像信号入力では、その最後に画素アレイA及び画素アレイBの夫々の3本の画素行（画素アレイAの画素行AG (3), AG (2), AG (1), 及び画素アレイBの画素行BG (3), BG (2), BG (1)）に、その中心となる画素行（画素アレイAでは画素行AG (2), 画素アレイBでは画素行BG (2)）に対応した画像信号を入力している。

【0188】

以上に記した表示制御部における画像データの読み出しとこの画像データの表示パネルへの転送とにより、上述した本実施例の高速インタレース走査で表示パネルに表示される画像（特に動画像）の品質は更に向上する。

【0189】

まず、奇数フィールド期間と偶数フィールド期間とで画像信号が同時に入力される画素行の組合せを変える効果は、画素アレイAの任意の画素行AG (y) (yは自然数、 $(m/2) > y > 2$) とこれに隣接する画素行AG (y+1), AG (y-1) とで次のように説明される。第1のフィールド期間で画素行AG (y) と画素行AG (y+1) とにメモリ内アドレスAG (y) に拠る画像信号（画素行AG (y) に本来入力すべき信号）が、これに続く第2のフィールド期間で画素行AG (y) と画素行AG (y-1) とにメモリ内アドレスAG (y-1) に拠る画像信号が夫々入力されると、画素行AG (y) には「 $(AG(y) + AG(y-1)) / 2$ 」の画像信号が入力される。また、これと同時に画素行AG (y+1) には「 $(AG(y) + AG(y+1)) / 2$ 」なる画像信号が、画素行AG (y-1) には「 $(AG(y-2) + AG(y-1)) / 2$ 」なる画像信号が、夫々入力される。従って、表示装置のユーザは、画素行AG (y) と画素行AG (y+1) との境界付近にてメモリ内アドレスAG (y) に拠る画像信号に近い輝度を、画素行AG (y) と画素行AG (y-1) との境界付近にてメモリ内アドレスAG (y-1) に拠る画像信号に近い輝度を夫々感知する。このため、画素行の2本毎に画像信号が入力されながら、その表示画像の所謂見かけ上の垂直解像度は向上する。

【0190】

一方、本実施例の高速インタレース走査は、1フレーム期間に表示パネルへ少なくとも2回の画像信号書込みを行う。また、この2回の表示パネルへの画像信号書込みで画素行（ライン）間の画像情報を補完する。従って、60Hzの周波数で1フレーム期間の画像情報を表示装置に入力する場合、 $60\text{Hz} \times 2 = 120\text{Hz}$ 相当で表示画像が画面に生成される。これにより、従来のインタレース方式による画像表示で指摘される画面内のちらつきが抑止される。

【0191】

3. 走査タイミングの制御方法5

本実施例の高速インタレース走査による画像信号の表示パネルへの入力の利点を生かし、且つ表示画像の垂直解像度を更に向上させる表示装置の走査タイミング制御方法を以下に述べる。この走査タイミングの制御方法では、フレーム期間毎にその冒頭で高速インタレ

ース走査による表示パネルへの画像信号入力を完結させ、その後、実施例1にて図1を参照して述べた「走査タイミングの制御方法1」に倣い、画素行毎に画像信号を入力する。本実施例での高速インタレース走査に対し、画素行毎に画像信号を入力する動作を、以下、プログレッシブ走査(Progressive Scan)と呼ぶ。

【0192】

図15は、本実施例による表示パネルを動作させる走査タイミングの他の一例を示すタイミング・チャートである。このタイミング・チャートには、図6のそれと同様に、第 n フレーム期間にて明画像(例えば、画面全体を白く表示する画像)を、これに続く第 $(n+1)$ フレーム期間にて暗画像(例えば、画面全体を黒く表示する画像)を夫々表示する表示パネルの動作における、この表示パネル100内に設けられた画素アレイAの走査信号線AG(1)乃至AG($m/2$)に印加される走査信号波形1501と走査信号線AG(1)～AG($m/2$)の夫々で選択される画素の夫々に入力される画像信号又はブランキング信号の波形1503、及び表示パネル100内に設けられた画素アレイBの走査信号線BG(1)乃至BG($m/2$)に印加される走査信号波形1502と走査信号線BG(1)～BG($m/2$)で選択される画素の夫々に入力される画像信号又はブランキング信号の波形1504が示される。

【0193】

高速インタレース走査による表示パネル(画素アレイA、B)への画像信号入力は、その奇数フィールド期間及び偶数フィールド期間の各々の動作を1フレーム期間の $1/8$ まで短縮できる。図15のタイミング・チャートでは、1フレーム期間の開始時刻(第 n フレーム期間の時刻 $t(n)$)に開始した奇数フィールド期間の表示パネルへの画像信号入力動作が完了するや否や、偶数フィールド期間の表示パネルへの画像信号入力動作を開始する(第 n フレーム期間の時刻 $t(nA)$)。これにより、高速インタレース走査による表示パネルへの画像信号入力動作は1フレーム期間の $1/4$ ($\Delta t_F/4$)で完了される(第 n フレーム期間の時刻 $t(nB)$)。上述のように、奇数フィールド期間と偶数フィールド期間とでは、画像信号が同時に入力される画素行(映像信号駆動回路からの画像信号出力に呼応してゲート・パルスで選択される画素行)の「対」の組合せを変える。このため、ゲート・パルスに呼応して(映像信号駆動回路からの画像信号出力毎に)画像信号の基準電圧 V_{ref} に対する極性を反転させると、画素行の一部の極性は、2つのフィールド期間で入力された画像信号電圧で、基準電圧 V_{ref} に対し正電位又は負電位のいずれかに偏る。このような可能性に鑑み、高速インタレース走査による表示パネルへの画像信号入力動作は、基準電圧 V_{ref} に対する画像信号1503、1504の極性を奇数フィールド期間にて正電位(又は負電位)、これに続く偶数フィールド期間にて負電位(又は正電位)にして行う。

【0194】

高速インタレース走査による表示パネルへの画像信号入力動作が終了するや否や、プログレッシブ走査による表示パネルへの画像信号入力動作が2回行われる(第 n フレーム期間の時刻 $t(nB) \sim t(nD)$)。このプログレッシブ走査にて、画像信号1503、1504の基準電圧 V_{ref} に対する極性は、実施例1で図6を参照して述べたように、画素アレイA、Bの夫々の画素行を1本ずつ選択するゲート・パルスに呼応して反転させる。換言すれば、映像信号駆動回路は基準電圧 V_{ref} に対して正電位の画像信号と負電位の画像信号とを交互に出力する。このような信号電圧の極性反転により、表示パネル内の液晶層に印加される電界の方向は画素行(ライン)毎に反転するため、画素間に生じるクロストークを抑え、表示画像の品質を向上させる。

【0195】

さらに、1回目の表示パネルへの画像信号入力動作と2回目のそれとで、各画素行に入力される画像信号の極性を反転させる。図15のタイミング・チャートでは、第 n フレーム期間の時刻 $t(nC)$ にて、1回目の表示パネルへの画像信号入力動作における画像電圧の極性反転パターン(Polarity Inversion Pattern)を逆転させた極性反転パターン(Reversed Polarity Inversion

Pattern)で2回目の表示パネルへの画像信号入力動作が開始される。これにより、プログレッシブ走査による表示パネルへの画像信号入力動作で液晶層に印加された電界の極性の偏りが相殺され、表示される画質は更に向上する。

【0196】

プログレッシブ走査により表示パネルに画像信号を2回入力する動作は1フレーム期間の $1/2$ で完了するため、これが終了した時刻 $t(nD)$ にて、1フレーム期間の $1/4$ に相当する時間が残る。図15のタイミング・チャートでは、この残された時間($\Delta t_F/4$)で、ブランキング信号を2ライン同時書き込み方法により2回表示パネルに入力する。ブランキング信号は、画面内の全画素を一樣な暗さで表示する電圧信号であるため、2回の表示パネルへの画像信号入力にて、この電圧信号が入力される画素アレイA、Bの夫々の画素行の対を組替える必要はない。また、図15のタイミング・チャートでは、表示パネルへの2回のブランキング信号入力にて、その電圧信号の基準電圧 V_{ref} に対する極性を、1回目の動作にて正電位、2回目の動作にて負電位に固定した。しかし、プログレッシブ走査による表示パネルへの画像信号入力と同様に、1回目の動作でブランキング信号の出力毎(画素行の対毎)に基準電圧に対する極性を反転させ、2回目の動作で画素行の対の夫々に印加されるブランキング信号の極性が1回目とは逆になるように、1回目の動作でのブランキング信号の極性反転パターンを逆転させた極性反転パターンのブランキング信号を画素行の対毎に入力してもよい。

【0197】

このように、図15のタイミング・チャートでは、フレーム期間毎に表示パネルへ、高速インタレース走査による画像信号の入力、プログレッシブ走査による画像信号の入力、及び2ライン同時書き込み方法によるブランキング信号の入力を順次行い、夫々の工程にて液晶層に印加された電界の極性の偏りを相殺している。従って、フレーム期間毎に液晶層内での電界の偏りが相殺され、液晶層の交流化駆動(Alternation Drive)の周期(Cycle)が完結される。

【0198】

図16は、図15のタイミング・チャートに示した走査タイミングの制御方法で駆動される液晶表示パネルの液晶層の光透過率応答1601と、この液晶表示パネルに光を照射するバックライトの点灯タイミング702(実施例1の図7と同じ)とを示す。図7と同様に、図16においても、図15に示した走査信号線AG(1)、走査信号線AG($m/2$)並びにBG($m/2$)、及び走査信号線BG(1)の走査信号波形1501、1502と、各々の走査信号のゲート・パルスに呼応して画像信号又はブランキング信号が印加される画素行に対応した液晶層の各部分の光透過率応答波形1601とが合わせて示される。また、走査信号線AG($m/2$)に印加される走査信号及び走査信号線BG($m/2$)に印加される走査信号と、これらの走査信号線の夫々に対応する液晶層の光透過率とは、図7と同様な理由により、一つの信号波形と一つの応答波形1601により示される。

【0199】

図16にて、画面上端の画素行(走査信号線AG(1)として示す)に対応した液晶層の光透過率応答1601及び画面下端の画素行(走査信号線BG(1)として示す)に対応した液晶層の光透過率応答1601と、画面中央の画素行(走査信号線AG($m/2$), BG($m/2$)として示す)に対応した液晶層の光透過率応答1601とを比較して明らかのように、高速インタレース走査による表示パネルへの画像信号入力が完了した時刻(第 n フレーム期間の時刻 $t(nB)$)にて、画面内における液晶層の光透過率が縮まる。この時刻にて点灯タイミング702に従いバックライトを点灯させると、明画像を表示する第 n フレーム期間では画面内の輝度差が概ね解消される。さらに、プログレッシブ走査による1回目の表示パネルへの画像信号入力が終了する時刻(1フレーム期間の開始時刻から $\Delta t_F/2$ の時間経過後)では、画面上端及び下端の画素行に対応した液晶層の光透過率は画面中央におけるそれに匹敵し、いずれの値も所定のレベル(表示輝度に対応したレベル)に到達したといっても過言ではない。従って、明画像を表示する画面に輝度傾斜が生じる可能性はなきに等しく、画面内の輝度も格段に向上する。

【0200】

また、第 n フレーム期間の終わりに行われた表示パネルへの2回のブランキング信号入力で、暗画像を表示する第 $(n+1)$ フレーム期間の開始時刻 $t(n+1)$ における液晶層の光透過率は、画面の上端及び下端においても、その最大値の $1/3$ まで低下する。さらに、暗画像の信号を高速インタレース走査により表示パネルに入力することにより、点灯タイミング702に応じてバックライトが点灯を開始する時刻にて、画面全域の液晶層の光透過率は略最小となる。

【0201】

このように、図15のタイミング・チャートによる表示装置の駆動に拠れば、明画像を表示するフレーム期間にて、冒頭の高速インタレース走査による表示パネルへの画像信号入力により液晶分子の所望方位への配向を加速する。これに続くプログレッシブ走査による表示パネルへの画像信号入力画面全域に亘る液晶層の光透過率を所望のレベルに落ち着かせる。このため、明画像は画面内に一様な輝度とプログレッシブ走査ならではの高い垂直解像度で表示される。

【0202】

また、このような明画像表示が行われたフレーム期間に続く次のフレーム期間で暗画像を表示しても、このフレーム期間の開始時刻からフレーム期間の $1/4$ に相当する時間内で画面全域に亘る液晶層の光透過率は最小のレベルに到達する。このため、明画像の表示輝度を上げて画面に動画ぼやけは生じず、むしろ表示画像のコントラスト比が画面全体で向上される。

【0203】

4. 走査タイミングの制御方法6

上述した本実施例による走査タイミングの制御方法4、5は、ノーマリ・ブラック・モードで動作する表示パネルに適用された。これに対し、ここでは本実施例による表示パネルを動作させる走査タイミングの他の一例として、ノーマリ・ホワイト・モードの液晶表示パネルに適用される走査タイミングの制御方法6を説明する。以下に述べる走査タイミングの制御方法は、実施例1の走査タイミングの制御方法3にて述べたようなノーマリ・ホワイト・モードの表示パネルを備えた表示装置に適用されるが、上述の如くタイミング制御回路110周辺の構造及び機能において実施例1のそれと相違する。

【0204】

図17は、図15を参照して述べた本実施例の走査タイミングの制御方法5をノーマリ・ホワイト・モードの表示パネルの表示動作に適用したときのタイミング・チャートの一例を示す。図17のタイミング・チャートは、各フレーム期間は最後の $1/4$ （時間 $\Delta t_F/4$ ）にて表示パネルへのブランキング信号入力を行わないことで図15のタイミング・チャートと相違する。この理由は、実施例1における「走査タイミングの制御方法3」の説明に記したとおりである。

【0205】

図17のタイミング・チャートは、図10のそれと同様に、第 n フレーム期間にて明画像（例えば、画面全体を白く表示する画像）を、これに続く第 $(n+1)$ フレーム期間にて暗画像（例えば、画面全体を黒く表示する画像）を夫々表示する表示パネルの動作における、この表示パネル100内に設けられた画素アレイAの走査信号線AG(1)乃至AG($m/2$)に印加される走査信号波形1701と走査信号線AG(1)～AG($m/2$)の夫々で選択される画素の夫々に入力される画像信号の波形1703、及び表示パネル100内に設けられた画素アレイBの走査信号線BG(1)乃至BG($m/2$)に印加される走査信号波形1702と走査信号線BG(1)～BG($m/2$)で選択される画素の夫々に入力される画像信号の波形1704が示される。画像信号の波形1702、1704の基準電位に対する電圧振幅が、図15のタイミング・チャートと相違する理由は、図10を参照して実施例1における「走査タイミングの制御方法3」の説明にて記したとおりである。

【0206】

図18は、図17のタイミング・チャートに示す走査タイミングの制御方法で駆動される液晶表示パネルの液晶層の光透過率応答1801と、この液晶表示パネルに光を照射するバックライトの点灯タイミング1102（実施例1の「走査タイミングの制御方法3」でのそれと同じ）とを示す。図7と同様に、図18においても、図17に示した走査信号線AG(1)、走査信号線AG(m/2)並びにBG(m/2)、及び走査信号線BG(1)の走査信号波形1701、1702と、各々の走査信号のゲート・パルスに呼応して画像信号又はブランキング信号が印加される画素行に対応した液晶層の各部分の光透過率応答波形1801とが合わせて示される。また、走査信号線AG(m/2)に印加される走査信号及び走査信号線BG(m/2)に印加される走査信号と、これらの走査信号線の夫々に対応する液晶層の光透過率とは、図7と同様な理由により、一つの信号波形と一つの応答波形1801により示される。

【0207】

図15を参照して述べた各フレーム期間の冒頭での本実施例の高速インタレース走査による表示パネル（画素アレイA、B）への画像信号入力は、ノーマリ・ホワイト・モードの表示パネルにおいても、明画像を表示するフレーム期間にて顕著な効果を示す。

【0208】

図18の第nフレーム期間における明画像の表示動作は、暗画像表示が行われたフレーム期間（言わば第(n-1)フレーム期間）に続いて行われる。ノーマリ・ホワイト・モードの液晶表示パネルは、液晶層への印加電界を強めて暗画像を表示する。暗画像に続いて明画像を表示する場合、液晶分子を所定方位に配向させる電界を解除するだけでなく、電界から解放された液晶分子が初期配向状態又はこれに近い状態に戻るまでに要する時間が液晶層の光透過率を決定する。

【0209】

しかし、第nフレーム期間の開始時刻t(n)から、その1/8が経過した時刻t(nA)の間における液晶層の光透過率応答波形1801の鋭い立上がりは、時刻t(n)から時刻t(nB)に到る時間（1フレーム期間の1/4）で完了する高速インタレース走査による表示パネルへの画像信号入力の効果を裏付ける。これは、暗画像を表示するフレーム期間にて各画素に対応する液晶容量203（図2参照）の電極の一方（薄膜トランジスタ201側）に溜まった電荷の多くが、その次のフレーム期間の冒頭に各画素に低い電圧の画像信号を入力することで映像信号線204に排出されることによると考えられる。

【0210】

また、高速インタレース走査により低い電圧の画像信号が表示パネルの画面に亘って存在する複数の液晶容量（画素毎に設けられた画素電極）のいずれにも速やかに印加されるため、画面全域に亘る液晶層の光透過率はプログレッシブ走査による表示アレイへの画像信号入力が開始される時刻までに一様に高められる。これにより図18に示した点灯パターン1102でバックライトを点灯すると、画面全域に亘り明画像が高い輝度で表示される。

【0211】

一方、ノーマリ・ホワイト・モードの表示パネルは液晶層への印加電界を強めて暗画像を表示するため、その応答性は明画像表示直後においても優れる。このような表示パネルによる暗画像の表示において、そのフレーム期間冒頭に高速インタレース走査で表示パネルに暗画像の信号を入力すると、液晶層の光透過率は全画面に亘り速やかに最小レベルに到る。従って、第(n+1)フレーム期間にて、バックライトが図18の点灯タイミング1102で点灯開始する前に液晶層の光透過率は画面全域に亘り最小レベルに落ち着く。

【0212】

以上のことから、本実施例によるノーマリ・ホワイト・モードの液晶表示パネルを備えた表示装置でも、その根拠は相違すれど図15及び図16を参照して説明した本実施例によるノーマリ・ブラック・モードの液晶表示パネルを備えたそれと同様な効果がもたらされる。

【0213】

本実施例でのべたノーマリ・ホワイト・モードの表示パネルにおいても、実施例1のノーマリ・ホワイト・モードの表示パネルと同様、その1フレーム期間毎にブランキング信号入力を含ませてもよく、例えば、本実施例の走査タイミングの制御方法5に倣い、2ライン同時書込み方法を適用しても良い。

【0214】

5. 実施例2のまとめ

以上に述べた本実施例による表示装置は、夫々の一端から他端にむけて複数の画素行が並設された2つの画素アレイが、夫々の画素アレイの一端を隣接させて並設された表示画面を備えた表示パネルを、画像信号を各画素アレイの画素行の2本毎にその一端から他端に向けて順次入力する機能を備える。

【0215】

各画素アレイへの画像信号入力は、これに備えられた駆動回路からの画像信号出力毎（例えば、走査クロックに呼応した画像信号出力）に画像信号が入力される2本の画素行の組合せを異ならせて2回繰り返される。走査開始信号に呼応して開始される各画素アレイへの画像信号入力が、走査クロックに呼応して2本の画素行を画素アレイの一端から順次選択し、選択された2本の画素行毎に画像信号を入力して行われるとき、任意の画素行は1回目の画像信号入力と2回目の画像信号入力とで異なる画素行とともに選択される。2回繰り返される画素アレイへの画像信号入力の一方では、その開始時に画素アレイの一端に最も近い1本の画素行に画像信号が入力され、他方ではその開始時に画素アレイの一端に最も近い画素行とこれに隣接する（画素アレイの他端側に位置する）画素行の合わせて2本に画像信号が入力される。その後は、いずれの画像信号入力においても、画素アレイの一端側から他端側にむけて2本の画素行毎に画像信号が入力される。

【0216】

2つの画素アレイにおける上述の画像信号入力は、実施例1同様に走査開始信号に呼応して開始され、その後は走査クロックに応じて各画素アレイの画素行の2本ごとに順次行われる。このため、一方の画素アレイの画素行2本と、これらの画素行と対応したアドレスで特定される他方の画素アレイの画素行2本とに、画像信号が略同時に入力される。この「略同時に」とは、例えば、2つの画素アレイへの信号伝送タイミング等の誤差により生じる夫々の画像信号入力時刻の微小なずれを含む。

【0217】

上述のように画素行の「対」毎に画像信号が入力する本実施例の所謂「2ライン同時書込み」による表示パネルへの画像信号入力手法では、この画像信号を生成させるために各画像データは、この「対」をなす画素行の一方に対応した画像データ（ライン・データ）のみを画素アレイに設けた駆動回路に転送すればよい。このため、表示制御部に記憶された画像データの一群（第1のライン・データ群）を1回目の画像信号入力にて、画像データの他の一群（第2のライン・データ群）を2回目の画像信号入力にて、画素アレイの駆動回路に転送すれば、これによる表示画面の垂直解像度も向上する。

【0218】

フレーム期間毎に、本実施例による表示パネルの各画素アレイへの2ライン同時書込み手法による画像信号入力が終了した後に、実施例1の各画素アレイの1画素行毎への画像信号入力を行うとよい。

【0219】

ノーマリ・ブラック・モードで動作する表示パネルにおいては、フレーム期間毎に各画素アレイへの画像信号入力の完了後に、各画素アレイへブランキング信号を入力するとよい。また、これに光を照射する光源装置の点灯タイミングは、実施例1にのべたそれに応じて制御するとよい。2本の画素行毎に画像信号を入力する手法（2ライン同時書込み手法）では2本の画素行の組合せが相違する2回の画像信号入力を行うため、実施例1のまとめで述べた「1回目の画像入力期間の任意時刻」を、例えば、この2回の画像信号入力の「1回目が行われる期間から2回目が始まるまでの任意時刻」と読み替える。1フレーム期間内に2本の画素行毎に画像信号を入力する期間と、これに続く1本の画素行毎に

画像信号を入力する期間とを設けるときは、実施例1のまとめで述べた「1回目の画像入力期間の任意時刻」を、例えば「2本の画素行毎に画像信号を入力する期間の終了後の任意時刻」に読み替える。

【0220】

ノーマリ・ホワイト・モードで動作する表示パネルにおいても、これに光を照射する光源装置の点灯タイミングは、実施例1にのべたそれに応じて制御するとよい。また、1フレーム期間内に2本の画素行毎に画像信号を入力する期間と、これに続く1本の画素行毎に画像信号を入力する期間とを設けるときは、実施例1のまとめで述べた「1回目の画像入力期間の任意時刻」を、例えば「2本の画素行毎に画像信号を入力する期間の終了後の任意時刻」に読み替えて、フレーム期間毎の点灯開始時刻を早める。これにより、光源装置の点灯デューティが大きくなり、画像の表示輝度が高まる。

【0221】

【発明の効果】

以上のように、本発明による表示装置は、フレーム期間毎に表示パネルの画面内に生成される画像（これに応じた画面内の輝度分布）をそのフレーム期間内に減衰させるため、これを適用したホールド型の表示装置では、陰極線管に代表されるインパルス型表示装置に匹敵するシャープな動画像が表示される。

【0222】

また、本発明による表示装置は、明るく表示すべき画素の輝度の上昇を加速し且つ暗く表示すべき画素の輝度を抑止することができるため、上述の効果と相俟って表示画像のコントラスト比を向上させ、その表示輝度を効率よく高める。

【0223】

本発明による液晶表示装置においては、これに備えられた光源装置を表示画像の明るさに応じて調整する必要がなくなる。例えば、光源装置の輝度を調整しなくても、晴天時の砂漠や雪景色のような殆どの画素の輝度が上昇する画像を表示するフレーム期間に続くフレーム期間で、星空のような殆どの画素の輝度を抑える画像を、ハレーション（Halation）で劣化させることなく表示することができる。

【0224】

また、上述の実施例に述べた技術を、液晶表示装置以外のノーマリ・ブラック・モードで画像表示を行うホールド型の表示装置（例えば、エレクトロルミネセンス・アレイやダイオード・アレイを備えた表示装置）に適用しても、同様な効果を得ることができる。

【図面の簡単な説明】

【図1】図1は、本発明による表示装置（液晶表示装置）の一例の構成を概念的に示したブロック図である。

【図2】図2は、本発明によるアクティブ・マトリクス型の表示装置の画像表示領域に含まれる2つの画素アレイの等価回路の一例を示す。

【図3】図3は、図1に示した表示装置の画像表示タイミングの制御に係る要素を抽出して示すブロック図である。

【図4】図4は、本発明による表示装置に入力された画像情報（映像情報）をその表示制御部に格納する方法の一例の説明に係り、図4（a）は表示装置に入力される画像情報（表示装置で表示すべき画像）を、図4（b）は図4（a）に示した画像情報をフレーム・メモリに格納する一例を、夫々示す。

【図5】図5は、図4（b）に示されたフレーム・メモリに格納される第nフレーム期間の画像データを読み出し、2つの画素アレイに夫々転送する工程の一例を説明するための説明図である。

【図6】図6は、本発明による表示装置の実施例1における表示パネルの走査タイミングの一例（走査タイミングの制御方法1）を示すタイミング・チャートである。

【図7】図7は、図6のタイミング・チャートに拠り駆動される液晶表示パネル（ノーマリ・ブラック・モード）の光透過率応答と、この液晶表示パネルに光を照射する光源装置の点灯タイミングとを示すタイミング・チャートである。

【図8】図8は、本発明による表示装置の実施例1における表示パネルの走査タイミングの他の一例（走査タイミングの制御方法2）を示すタイミング・チャートである。

【図9】図9は、図8のタイミング・チャートに拠り駆動される液晶表示パネル（ノーマリ・ブラック・モード）の光透過率応答と、この液晶表示パネルに光を照射する光源装置の点灯タイミングとを示すタイミング・チャートである。

【図10】図10は、本発明による表示装置の実施例1におけるノーマリ・ホワイト・モードの液晶表示パネルの走査タイミングの一例（走査タイミングの制御方法3）を示すタイミング・チャートである。

【図11】図11は、図10のタイミング・チャートに拠り駆動される液晶表示パネル（ノーマリ・ホワイト・モード）の光透過率応答と、この液晶表示パネルに光を照射する光源装置の点灯タイミングとを示すタイミング・チャートである。

【図12】図12は、本発明による表示装置の実施例2における表示パネルの走査タイミングの一例（走査タイミングの制御方法4）を示すタイミング・チャートである。

【図13】図13は、図12のタイミング・チャートに拠り駆動される液晶表示パネル（ノーマリ・ブラック・モード）の光透過率応答と、この液晶表示パネルに光を照射する光源装置の点灯タイミングとを示すタイミング・チャートである。

【図14】図14は、本発明の実施例2における表示制御部（フレーム・メモリ）に格納された画像データをライン・データ毎に読み出す工程とこのライン・データを表示素子部（映像信号駆動回路）へ転送する工程との説明に係り、図14（a）は奇数フィールド期間におけるこれらの工程を、図14（b）は偶数フィールド期間におけるこれらの工程を、夫々示す説明図である。

【図15】図15は、本発明による表示装置の実施例2における表示パネルの走査タイミングの他の一例（走査タイミングの制御方法5）を示すタイミング・チャートである。

【図16】図16は、図15のタイミング・チャートに拠り駆動される液晶表示パネル（ノーマリ・ブラック・モード）の光透過率応答と、この液晶表示パネルに光を照射する光源装置の点灯タイミングとを示すタイミング・チャートである。

【図17】図17は、本発明による表示装置の実施例2におけるノーマリ・ホワイト・モードの液晶表示パネルの走査タイミングの一例（走査タイミングの制御方法6）を示すタイミング・チャートである。

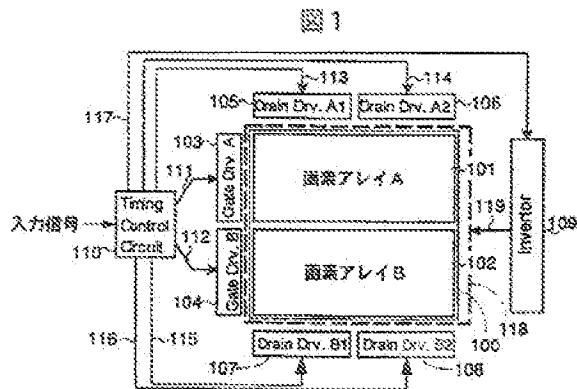
【図18】図18は、図17のタイミング・チャートに拠り駆動される液晶表示パネル（ノーマリ・ホワイト・モード）の光透過率応答と、この液晶表示パネルに光を照射する光源装置の点灯タイミングとを示すタイミング・チャートである。

【符号の説明】

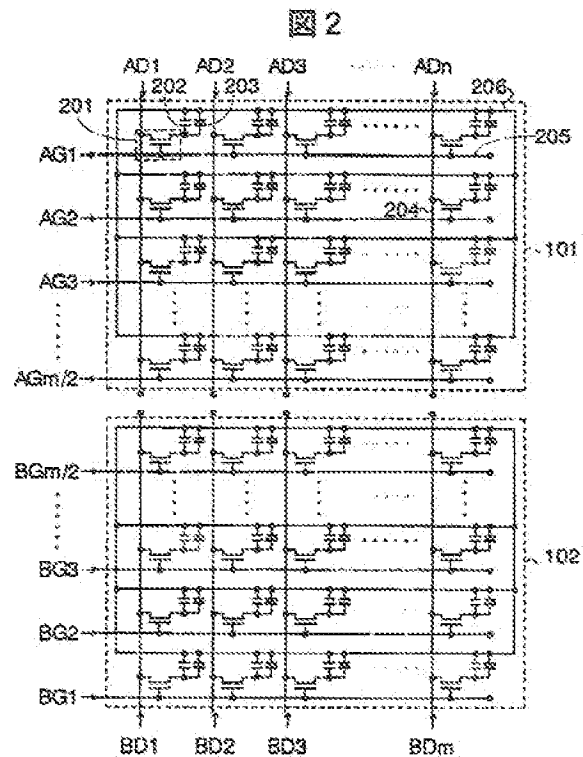
100…表示パネル、画素アレイA、101…画素アレイA、102…画素アレイB、103…走査信号駆動回路（ゲート駆動回路）A、104…走査信号駆動回路（ゲート駆動回路）B、105…映像信号駆動回路（ドレイン駆動回路）A1、106…映像信号駆動回路（ドレイン駆動回路）A2、107…映像信号駆動回路（ドレイン駆動回路）B1、108…映像信号駆動回路（ドレイン駆動回路）B2、109…インバータ回路、110…タイミング制御回路、111…信号供給バス（ゲート信号バス）A、112…信号供給バス（ゲート信号バス）B、113…信号供給バス（ドレインデータバス）A1、114…信号供給バス（ドレインデータバス）A2、115…信号供給バス（ドレインデータバス）B1、116…信号供給バス（ドレインデータバス）B2、117…信号供給バス（光源装置制御信号バス）、118…光源部（バック・ライト・システム）、119…電源線、201…薄膜トランジスタ（スイッチング素子）、202…保持容量、203…液晶容量、204…映像信号線、205…走査信号線、206…コモン線、301…メモリ制御回路、302…フレーム・メモリA、303…フレーム・メモリB、601、801、1001、1201、1501、1701…画素アレイAの走査信号波形A（ゲート・パルスを含む）、602、802、1002、1202、1502、1702…画素アレイBの走査信号波形（ゲート・パルスを含む）、603、803、1203、1503…画素アレイAの画像信号及びブランキング信号の電圧波形、604、804、1204、1

504…画素アレイBの画像信号及びブランキング信号の電圧波形、701, 901, 1101, 1301, 1601, 1801…液晶層の光透過率の応答波形、702, 1102…バックライト点灯タイミング、1003, 1703…画素アレイAの画像信号波形、1004, 1704…画素アレイBの画像信号波形。

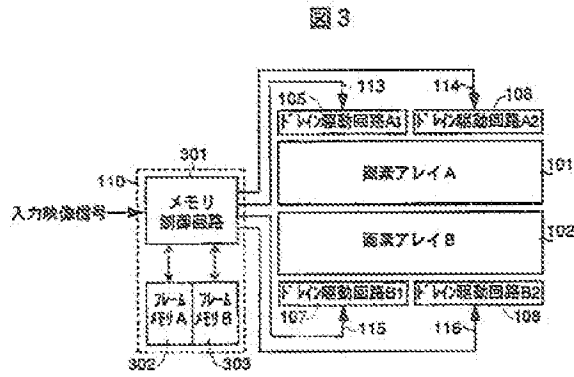
(X) 1



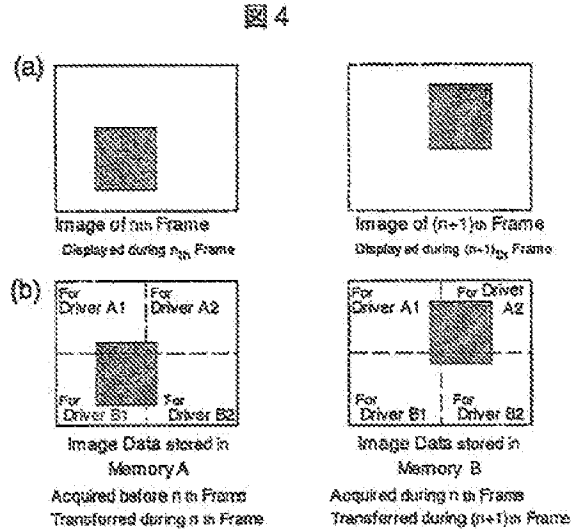
2



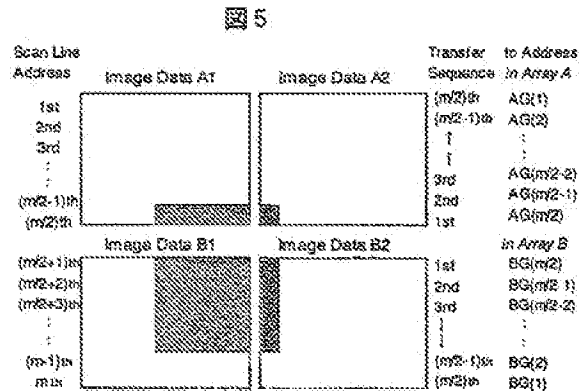
【図3】



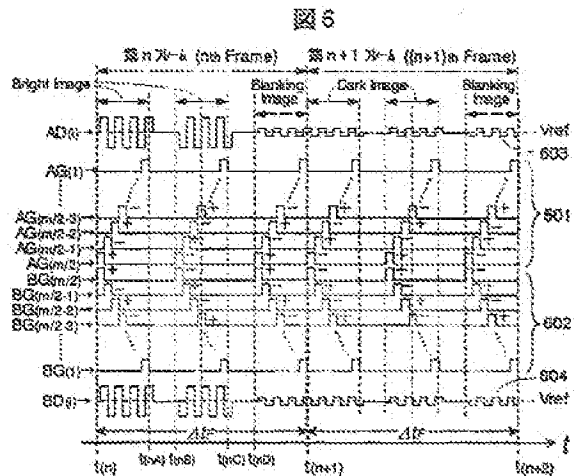
【図4】



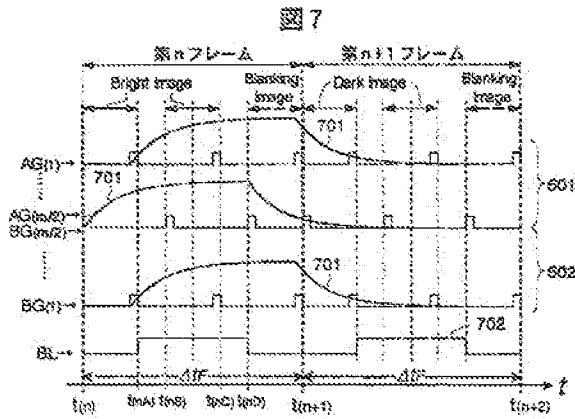
【図5】



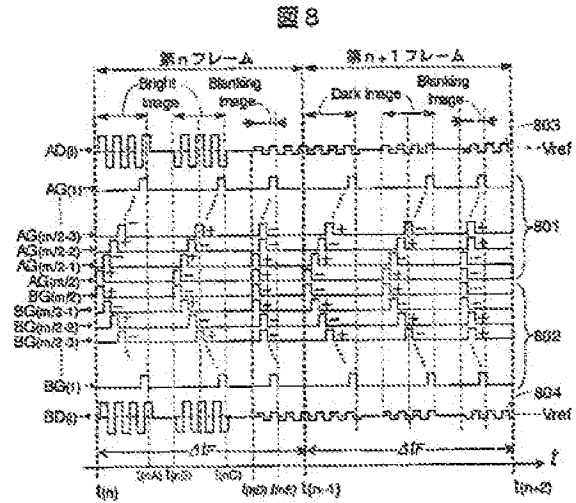
【図6】



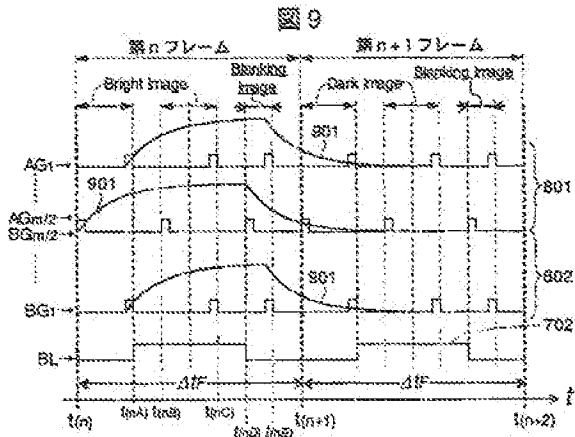
【図7】



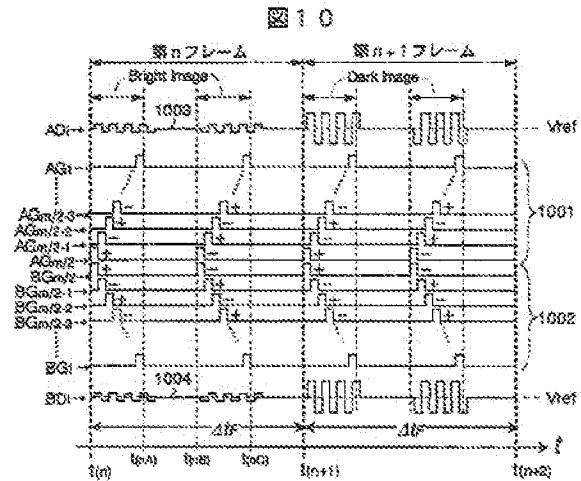
【図8】



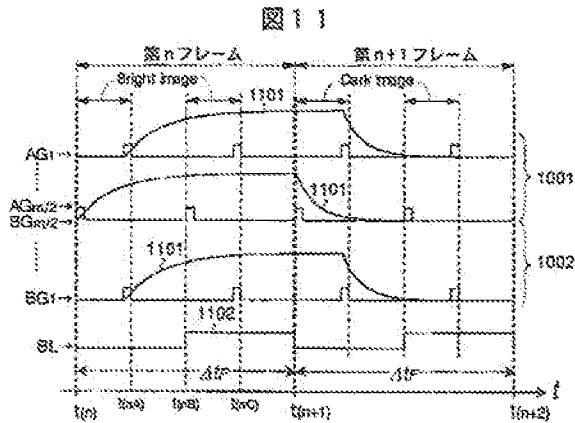
【図9】



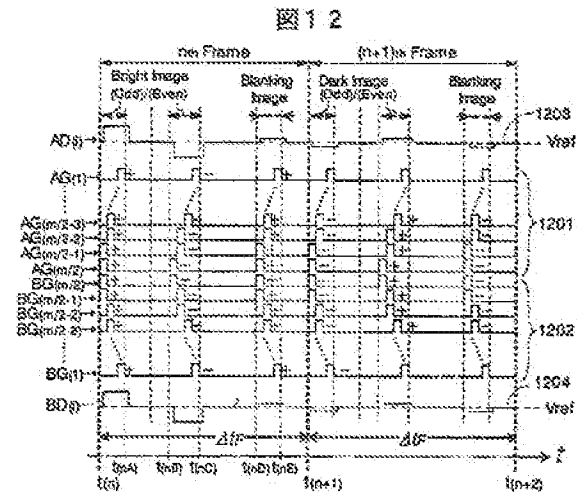
【図10】



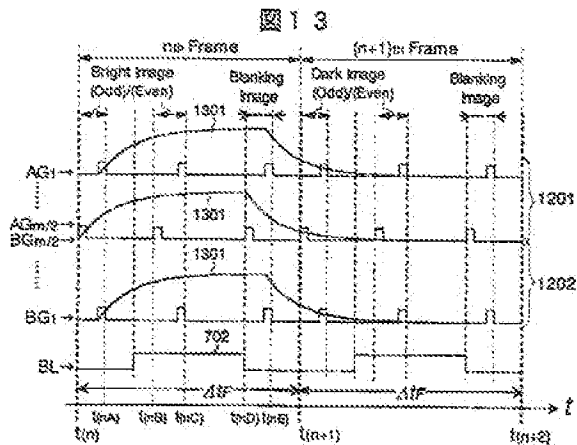
【図11】



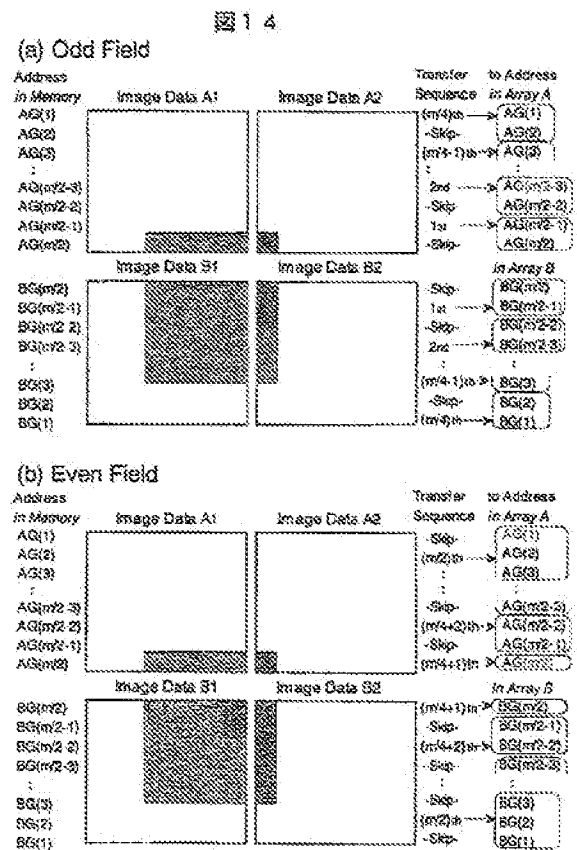
【図12】



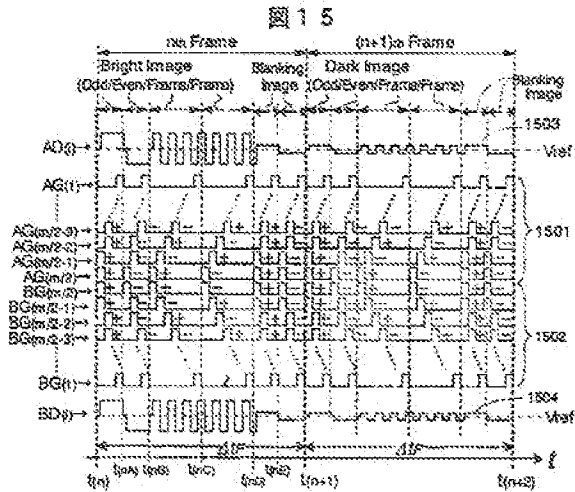
【図13】



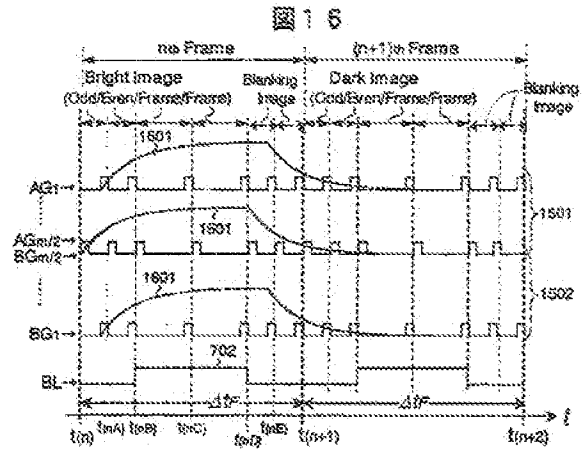
【図14】



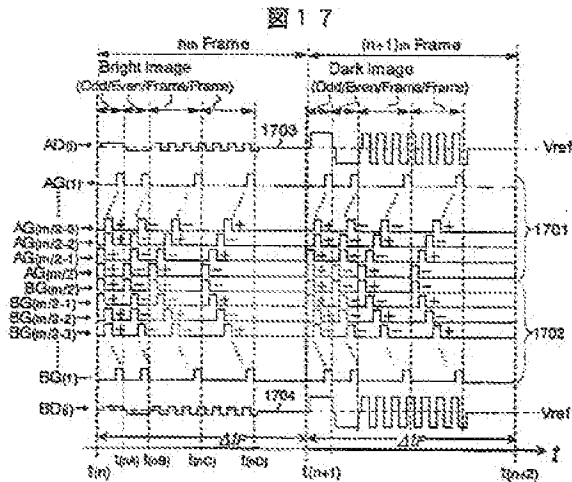
【図15】



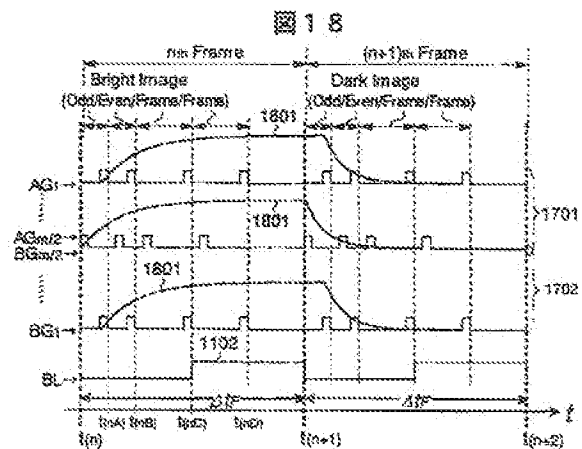
【図16】



【図17】



【図18】



フロントページの続き

(51)Int. Cl. 7

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 2 N
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 3 1 B
G 0 9 G	3/20	6 3 1 Q
G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/20	6 4 2 E
G 0 9 G	3/20	6 6 0 V
G 0 9 G	3/34	J

F ターム (参考) 2H093 NA34 NA45 NC16 NC29 NC34 NC42 NC66 ND04 ND07 ND08
 NB34 ND58 NE06
 5C006 AA01 AA16 AC11 AC27 AC28 AC29 AC30 AF03 AF04 AF05
 AF07 AF42 AF44 AF47 AF71 AF73 BB16 BB29 BC03 BC12
 BC16 BF02 EA01 FA05 FA13 FA16 FA29 FA54 FA56
 5C080 AA10 BB06 DD02 DD07 DD08 EE19 EE26 EE29 FF11 GG08
 GG15 GG17 JJ02 JJ03 JJ04 KK43